

09/327282

BEST AVAILABLE COPY

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제16409호
Application Number

출원년월일 : 1999년 5월 7일
Date of Application

출원인 : 엘지전자주식회사
Applicant(s)

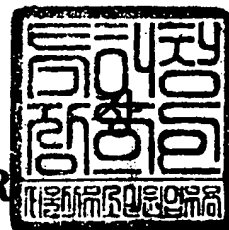
CERTIFIED COPY OF
PRIORITY DOCUMENT



1999년 5월 21일

특허청

COMMISSIONER





919980000831



10111010000000000000

방 식 심 사 관	담 당	심 사 관

【서류명】 출원서

【권리구분】 특허

【수신처】 특허청장

【제출일자】 1999.05.07

【발명의 국문명칭】 액정패널 구동방법 및 장치

【발명의 영문명칭】 Method of Driving Liquid Crystal Panel and Apparatus Thereof

【출원인】

【명칭】 엘지전자 주식회사

【출원인코드】 1-1998-000275-8

【대리인】

【성명】 김영호

【대리인코드】 9-1998-000083-1

【포괄위임등록번호】 1999-001250-8

【발명자】

【성명의 국문표기】 정윤철

【성명의 영문표기】 JEONG, Yun Cheol

【주민등록번호】 620215-1675827

【우편번호】 137-072

【주소】 서울특별시 서초구 서초2동 1357-27

【국적】 KR

【발명자】

【성명의 국문표기】 김창연

【성명의 영문표기】 KIM, Chang Yeon

【주민등록번호】 681029-1558418

【우편번호】 430-015

【주소】 경기도 안양시 만안구 안양5동 성원아파트 101-910

【국적】 KR

【우선권주장】

【출원국명】 KR

【출원종류】 특허

【출원번호】 10-1998-0036335

【출원일자】 1998.09.03

【증명서류】 첨부

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

김영호



【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	43	면	43,000	원
【우선권주장료】	1	건	26,000	원
【심사청구료】	14	항	557,000	원
【합계】			655,000	원

【첨부서류】 1. 요약서 · 명세서(도면)_1통

【요약서】

【요약】

본 발명은 액정패널의 스캐닝배선에서의 전파지연에 의한 영상의 왜곡과 광투과율의 불균일 현상을 방지 할 수 있는 액정패널 구동방법 및 그 장치에 관한 것이다.

본 발명에서는 스캐닝배선에서의 스캐닝신호의 지연특성에 따라 폭이 증가되는 데이터신호전압이 신호배선에 공급되게 한다. 이에 따라, 스캐닝배선에서 스캐닝신호가 지연되더라도 모든 액정셀들에 데이터 신호전압이 정확하게 공급되게 되고, 나아가 액정패널에 표시되는 화상이 왜곡되지 않게 된다.

【대표도】

도8

【명세서】

【발명의 명칭】

액정패널 구동방법 및 장치{Method of Driving Liquid Crystal Panel and Apparatus thereof}

【도면의 간단한 설명】

도1 은 종래의 액정패널 구동장치의 블록도.

도2 는 도1 에 도시된 1라인 분의 스캐닝배선의 회로구성을 설명하는 도면.

도3 은 도1 에 도시된 1라인 분의 스캐닝배선의 등가회로를 나타낸 도면.

도4 는 통상의 액정구동방법에 따라 액정패널의 스캐닝배선 및 신호배선에 인가되는 신호들의 파형도.

도5 는 통상의 액정패널 구동방법에 따른 스캐닝전압의 상승에지에서의 스캐닝배선의 응답특성을 나타낸 도면.

도6 은 통상의 액정패널 구동방법에 따른 스캐닝전압의 하강에지에서의 스캐닝배선의 응답특성을 나타낸 도면.

도7 은 종래의 프리-스캐닝 방법에 따라 액정패널의 스캐닝배선 및 신호배선에 인가되는 신호들의 파형도.

도8 은 본 발명의 실시 예에 따른 액정패널 구동장치를 개략적으로 도시한 도면.

도9 는 도8 에 도시된 구동 IC 칩들 각각에 공급되는 출력 인에이블 신호들

에 대한 타이밍 차트.

도10 은 본 발명의 다른 실시 예에 따른 액정패널 구동장치를 개략적으로 도시한 도면.

도11 은 본 발명의 또 다른 실시 예에 따른 액정패널 구동장치를 개략적으로 도시한 도면.

도12 는 도11 에 도시된 구동 IC 칩들 각각에 공급되는, 출력 인에이블 신호들에 대한 타이밍 차트.

도13 은 도11 에 도시된 제2 제어기에서 출력되는 게이트 출력 인에이블 신호들에 대한 타이밍 차트.

도14 는 도11 에 도시된 액정패널상의 스캐닝라인들에 공급되는 스캐닝신호들에 대한 타이밍 차트.

도15 는 도11 에 도시된 데이터라인상의 액정셀들의 충전시간을 설명하는 타이밍 차트.

도16 은 시뮬레이션을 위해 다수의 블록들로 나누어진 액정패널의 상태를 도시한 도면.

도17 은 도16 에 도시된 액정패널상의 스캐닝라인들에 인가되는 스캐닝신호에 대한 타이밍 차트.

도18 은 도16 에 도시된 데이터 구동 IC 칩들에 공급되는 데이터 출력 인에이블 신호와 데이터라인들에 공급되어질 데이터신호에 대한 타이밍 차트.

도19 는 도16 에 도시된 액정패널상의 블록들 각각에 공급되는 스캐닝신호

및 데이터신호를 도시한 도면.

도20A 내지 도20D 는 도18 에 도시된 데이터 출력 인에이블 신호들 중 일부를 확대 도시한 도면.

도21A 내지 도21D 는 도17 에 도시된 게이트 출력 인에이블 신호들 중 일부를 확대 도시한 도면.

도22A 내지 도22D 는 도16 에 도시된 액정패널상의 일부 블록들에 공급되어진 스캐닝신호 및 데이터신호를 확대 도시한 도면.

도23 은 도11 에 도시된 제2 제어기의 상세 회로도.

< 도면의 주요 부분에 대한 부호의 설명 >

10,30 : 액정패널

11 : 스캐닝배선

12 : 스캐닝측 구동부

13 : 신호배선

14 : 신호측 구동부

15 : 표시데이터 입력라인

16 : 박막 트랜지스터

18 : 저항

20 : 캐패시터

31 : 게이트 캐리 라인

32A 내지 32E : 제1 내지 제5 게이트 구동 IC 칩

33 : 데이터 스타트 라인

34A 내지 34H : 제1 내지 제8 데이터 구동 IC 칩

35 : 데이터버스

37,45 : 클럭라인

38A 내지 38G : 제1 내지 제7 폭신장기

38 : 폭신장기

39 : 인에이블 라인

40 : 제1 출력 제어기

41 : 제1 동기라인

42 : 제2 출력 제어기

43 : 제2 동기라인

44 : 제1 카운터

46 : 가산기

48 : 제2 카운터

50 : 비교기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

본 발명은 액정표시기에 관한 것으로, 특히 박막 트랜지스터를 사용하는 액티브 매트릭스 액정표시기를 구동하는 액정표시기 구동방법 및 그 장치에 관한 것이다.

매트릭스 타입 액정표시장치에 있어서, 박막 트랜지스터는 액정패널에 제공된다. 이 매트릭스 타입 액정표시장치는 멀티-라인 멀티플렉스 구동모드에서 낮은 충격계수(Duty Cycle 또는 Duty Ratio)로 구동되더라도 높은 콘트라스트(Contrast)를 산출할 수 있다. 이 매트릭스 타입 액정표시장치는 도1에서와 같이 다수의 박막 트랜지스터들과 다수의 액정셀들을 가지는 액정패널(10)과, 이 액정패널(10)에 접속된 스캐닝측 구동부(12) 및 신호측 구동부(14)로 구성된다. 스캐닝측 구동부(12)는 액정패널(10)내의 스캐닝배선(11)에 스캐닝전압을 공급한다. 이 스캐닝배선(11)은 박막 트랜지스터들의 게이트전극들이 접속되어진 스캐닝전극들로

구성된다. 그리고 스캐닝 배선(11)은 신호전극들로 이루어진 신호배선(13)과 교차한다. 이 신호전극들 각각에는 박막 트랜지스터들의 드레인전극들이 접속된다. 한편, 신호측 구동부(14)는 표시데이터 입력라인(15)으로부터 입력된 표시데이터를 액정셀에 공급될 신호전압으로 변환하고 그 신호전압을 신호배선(13)에 공급한다. 상기 박막 트랜지스터의 턴-온(Turn-on) 및 턴-오프(Turn-off)는 스캐닝전압에 의해 제어된다. 박막 트랜지스터가 턴-온된 때에 액정셀은 신호배선(13)으로부터 박막 트랜지스터의 드레인 및 소오스전극들을 경유하여 유입되는 신호전압을 충전하게 된다. 그리고 액정셀은 박막 트랜지스터가 턴-오프된 기간동안 충전되어진 신호전압을 유지하게 된다.

도2 는 1라인에 해당하는 액정패널 내의 스캐닝배선(11)을 나타낸다. 각 액정셀들에 대한 박막 트랜지스터(16)의 게이트전극은 스캐닝배선(11)에 접속되고, 각 박막 트랜지스터(16)의 드레인전극은 스캐닝배선(11)과 교차하는 신호배선(13)에 접속된다. 이 1라인에 해당하는 스캐닝배선(11)을 전기적인 등가회로로 나타내면, 도3 에서와 같이 저항(18)들과 캐패시터(20)들에 의해 표현될 수 있다. 이들 저항(18)들은 스캐닝배선(11)의 저항을 구성하며, 그 값은 스캐닝배선(11)을 구성하는 물질과 그리고 폭, 길이 및 두께와 같은 스캐닝배선(11)의 모양에 의해 결정된다. 한편, 캐패시터(20)의 용량 값은 박막 트랜지스터들의 게이트전극의 용량 값, 액정셀에 포함되어진 전극들간의 용량값, 신호배선(13)과 스캐닝배선(11) 사이의 용량값, 그리고 스캐닝배선(11) 주위의 포유용량값 등이 가산됨에 의해 얻어진 값을 갖는다. 이들 저항(18)과 캐패시터(20)는 상승시간(t_r)과 하강시간(t_f)이 짧

은 구형파형의 스캐닝 전압이 스캐닝전압 입력단자에 공급되더라도 이 스캐닝전압 입력단자로부터 떨어진, 즉 스캐닝배선(11)의 우측단에 위치한 박막 트랜지스터(16)의 게이트전극에 도달하는 스캐닝전압의 상승시간(t_r)과 하강시간(t_f)이 길어지게 한다. 다시 말하면, 스캐닝전압은 스캐닝전압 입력단자로부터 스캐닝배선(11)의 끝단까지 전파되는 동안 그 전파된 거리에 해당하는 시간만큼 지연된다. 이로 인하여, 스캐닝전압 입력단자로부터 멀리 떨어진, 즉 스캐닝배선(11)의 우측단에 위치한 액정셀에 충전되는 전압이 왜곡된다.

도4 는 스캐닝배선(11)에 공급된 스캐닝전압의 파형이 스캐닝배선에서 전파됨에 따라 왜곡되는 과정을 도시한다. 스캐닝전압(GS)은 신호전압(DS)이 신호배선(13)에 공급되는 기간에 스캐닝전압 입력단자에 공급된다. 이 때, 스캐닝전압 입력단자로부터 떨어진 스캐닝배선(11)의 우측끝단에서는 스캐닝 전압(GS)의 상승에지로부터 완만하게 증가하는 지연된 스캐닝 전압(DGS)이 나타나게 된다. 이 지연된 스캐닝 전압(DGS)에 의해 구동되는 스캐닝배선(11)의 우측끝단에 위치한 박막 트랜지스터(16)는 지연된 스캐닝 전압(DGS)이 자신의 문턱전압(Threshold Voltage, V_{th}) 보다 높아지는 시점, 즉 스캐닝 전압(GS)의 상승에지로부터 도3 에서의 저항(18)의 저항값과 캐패시터(20)의 용량값의 곱에 해당하는 시정수(τ_1) 만큼 경과된 시간에 턴-온 된다. 그리고 지연된 스캐닝 전압(DGS)은 스캐닝 전압(GS)의 하강에지로부터 완만하게 감소된다. 이 때, 스캐닝배선(11)의 우측끝단에 위치한 박막 트랜지스터(16)는 지연된 스캐닝 전압(DGS)이 자신의 문턱전압(Threshold

Voltage, V_{th}) 보다 낮아지는 시점, 즉 스캐닝 전압(GS)의 상승에지로부터 상기 시정수(τ_1) 만큼 경과된 시간에 턴-오프 된다. 결과적으로, 스캐닝전압 입력단자로부터 떨어진 스캐닝배선(11)의 우측끝단에 위치한 박막 트랜지스터(16)의 게이트전극에는 스캐닝전압(GS) 보다 시정수(τ_1)에 해당하는 시간만큼 지연되어진 유효 스캐닝 전압(EGS)이 인가된다. 이 유효 스캐닝 전압(EGS)에 의해, 스캐닝 전압 입력단자로부터 떨어진, 즉 스캐닝배선(11)의 우측끝단에 위치하는 액정셀은 신호전압(DS)의 상승에지로부터 스캐닝배선(11)의 시정수만큼 경과된 시점에서부터, 신호전압(DS)의 하강에지로부터 스캐닝배선(11)의 시정수에 해당하는 시간만큼 경과된 시점까지 이르는 기간동안 신호전압을 충전하게 된다. 다시 말하면, 이 액정셀은 스캐닝전압(GS)의 하강에지로부터 시정수의 기간동안 다음 라인의 신호전압을 충전하게 된다. 따라서, 이 액정셀에 충전되는 유효충전전압(ECDS)은 신호전압(DS)을 유지하지 못하고 다음 라인의 액정셀에 인가될 신호전압과의 차전압만큼 변하게 된다.

도5 와 도6 은 스캐닝전압(GS)이 액정패널(10)의 스캐닝배선(11)에 인가된 경우에 박막 트랜지스터들(16)의 게이트전극들 각각에 나타나는 전압변화를 도시한다. 도5 는 스캐닝전압(GS)의 상승에지의 경우에 박막 트랜지스터들(16)의 게이트전극들 각각에서의 전압변화들을, 그리고 도6 은 스캐닝전압(GS)의 하강에지의 경우에 박막 트랜지스터들(16)의 게이트전극들 각각에서의 전압변화들을 각각 나타낸다. 도5 및 도6 에서 스캐닝배선(11)에 접속된 박막 트랜지스터들(16)의 게이트전

극들상의 전압들이 완만하게 변하는 것으로 나타난다. 이를 통하여, 스캐닝배선(11)에서의 스캐닝 전압의 전파지연량이 크다는 것을 알 수 있다. 이러한 스캐닝배선(11)에서의 스캐닝 전압의 전파지연으로 인하여, 액정셀들에 충전되는 신호전압이 왜곡된다. 이로 인하여, 액정패널(10)에 표시되는 영상이 왜곡되고 아울러 액정패널의 좌측과 우측에서의 광 투과도가 달라지게 된다. 이러한 단점들은 스캐닝배선(11)이 길어질수록 더욱 더 심화된다.

이러한 액정표시장치의 단점들을 해소하기 위한 방안으로 프리-스캐닝 방법이 미국특허 제 4,649,383 호에 의해 개시되었다. 이 프리-스캐닝 방법은 도7 에서와 같이, 신호배선에 공급되는 신호전압(DS) 보다 스캐닝배선의 시정수(τ 1)만큼 앞서는 프리-스캐닝 전압(PSG)을 스캐닝배선에 공급함으로써 스캐닝배선에 접속된 박막 트랜지스터들의 턴-온 및 턴-오프 시점을 앞당긴다. 이에 따라, 액정셀에 충전되는 충전전압은 다음 라인의 액정셀에 공급될 신호전압의 영향을 받지 않게 된다. 이 결과, 프리-스캐닝 방법은 액정패널에 표시되는 영상의 왜곡을 방지할 수 있었고 아울러 액정패널의 좌우 측에서의 광 투과율을 균일하게 할 수 있었다.

그러나, 이 프리-스캐닝 방법에서는 스캐닝전압 입력단자에 공급되는 스캐닝 전압의 상승에지와 하강에지가 신호전압의 그것들보다 시간적으로 당겨짐으로 인하여 스캐닝전압 입력단자와 가까운 스캐닝배선 상에 위치한 액정셀의 신호전압 충전 시간(SWGS)이 도7 에서와 같이 짧아지게 된다. 아울러, 스캐닝 전압 입력단자에 가깝게 위치한 액정셀들의 충전특성과 그로부터 멀리 떨어진 액정셀들의 상에 위치한 액정셀들간의 충전특성이 달라진다. 이로 인하여, 액정패널에 표시되는 영상이

왜곡되고 액정패널의 좌측과 우측에서의 광투과율이 균일하지 않게 된다.

【발명이 이루고자 하는 기술적 과제】

따라서, 본 발명의 목적은 스캐닝배선에서의 전파지연에 의한 영상의 왜곡과 광 투과율의 불균일 현상을 방지 할 수 있는 액정패널 구동방법 및 그 장치를 제공함에 있다.

본 발명의 다른 목적은 액정패널 상의 액정셀들의 충전시간을 균일하게 하기 에 적합한 액정패널 구동 방법 및 그 장치를 제공함에 있다.

【발명의 구성 및 작용】

상기 목적들을 달성하기 위하여 본 발명에 따른 액정패널 구동방법은 액정패널의 스캐닝배선에 펄스형태의 스캐닝전압을 제공하는 단계와, 스캐닝배선 상의 위치에 따라 폭이 증가되는 데이터신호전압을 신호배선에 제공하는 단계를 포함한다.

본 발명에 따른 액정패널 구동방법은 액정패널의 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 단계와, 신호배선에 데이터 신호전압들을 제공하는 단계와, 신호배선에 공급되어질 신호전압들이 상기 스캐닝 배선의 위치에 따라 서로 다른 폭을 갖게끔 하는 단계를 포함한다.

본 발명에 따른 액정패널 구동방법은 신호배선에 데이터 신호전압을 공급하는 단계와, 신호배선의 위치에 따라 폭이 증가되는 스캐닝 신호 전압을 스캐닝배선에 공급하는 단계를 포함한다.

본 발명에 따른 액정패널 구동방법은 액정패널의 신호배선의 위치에 따라 폭이 증가되는 스캐닝 신호 전압을 스캐닝배선에 공급하는 단계와, 스캐닝배선의 위치 따라 폭이 증가되는 데이터 신호전압을 신호배선에 공급하는 단계를 포함한다.

본 발명에 따른 액정패널 구동장치는 액정패널의 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 스캐닝측 구동수단과, 스캐닝배선 상의 위치에 따라 폭이 증가되는 데이터신호전압을 신호배선에 제공하는 신호측 구동수단을 구비한다.

본 발명에 따른 액정패널 구동장치는 액정패널의 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 스캐닝측 구동수단과, 신호배선에 데이터 신호전압들을 제공하는 신호측 구동수단과, 신호배선에 공급되어질 신호전압들이 스캐닝 배선의 위치에 따라 서로 다른 폭을 갖게끔 하는 폭조절수단을 구비한다.

본 발명에 따른 액정패널 구동장치는 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 스캐닝측 구동수단과, 신호배선에 데이터 신호전압들을 제공하는 신호측 구동수단과, 스캐닝배선에 공급되어질 스캐닝전압이 신호 배선의 위치에 따라 서로 다른 폭을 갖게끔 하는 폭조절수단을 구비한다.

본 발명에 따른 액정패널 구동장치는 액정패널의 신호배선의 위치에 따라 폭이 증가되는 스캐닝 신호 전압을 스캐닝배선에 공급하는 스캐닝측 구동수단과, 스캐닝배선의 위치 따라 폭이 증가되는 데이터 신호전압을 상기 신호배선에 공급하는 신호측 구동수단을 구비한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도8 내지 도23 을 참조하여 본 발명의 바람직한 실시예들에 대하여 설명하기로 한다.

도8 을 참조하면, 액정패널(30)의 스캐닝배선(GL)을 구동하기 위한 게이트 구동 IC 칩들(32A내지32E)과, 액정패널(30)의 신호배선(DL)을 구동하기 위한 데이터 구동 IC 칩들(34A내지34H)을 구비하는 본 발명의 실시 예에 따른 액정패널 구동 장치가 도시되어 있다. 스캐닝배선(GL)은 다수의 스캐닝라인들, 예를 들면, m개의 스캐닝라인들(GL1내지GLm)을 구비하며, 이들 스캐닝 라인들(GL1내지GLm) 각각에는 다수의 박막 트랜지스터들(도시하지 않음)의 게이트전극들이 접속되게 된다. 게이트 구동 IC 칩들(32A,32B)은 다수의 스캐닝라인들(GL1내지GLm)을 분할 구동하게 된다. 이를 상세히 하면, 제1 게이트 구동 IC 칩(32A)은 게이트 캐리 라인(31)을 통해 게이트 스타트 펄스(GSP)가 공급된 때 첫 번째 내지 $m/5$ 번째 스캐닝라인들(GL1내지GL $m/5$)에 스캐닝신호를 순차적으로 공급하게 된다. 그러면 첫 번째 내지 $m/5$ 번째 스캐닝라인들(GL1내지GL $m/5$)은 제1 게이트 구동 IC 칩(32A)으로부터 순차적으로 공급되는 스캐닝신호에 의해 순차적으로 구동되게 된다. 아울러, 제1 게이트 구동 IC 칩(32A)은 $m/5$ 번째 스캐닝라인(GL $m/5$)이 구동된 때에 제2 게이트 구동 IC 칩(32B)의 캐리단자에 특정논리의 게이트 캐리 펄스(GCP)를 공급하게 된다. 제2 게이트 구동 IC 칩(32B)은 제1 게이트 구동 IC 칩(32A)으로부터의 게이트 캐리 펄스(GCP)에 응답하여 $\frac{m}{5} + 1$ 번째 내지 $2m/5$ 번째 스캐닝라인들(GL $m/5 + 1$ 내지GL $2m/5$)에 스캐닝신호를 순차적으로 공급하게 된다. 제2

게이트 구동 IC 칩(32B)으로부터 순차적으로 공급되는 스캐닝신호에 의해, $\frac{m}{2} + 1$ 번째 내지 $2m/5$ 번째 스캐닝라인들($GL_{m/2+1}$ 내지 $GL_{2m/5}$)은 순차적으로 구동되게 된다. 또한, 제2 게이트 구동 IC 칩(32B)은 $2m/5$ 번째 스캐닝라인($GL_{2m/5}$)이 구동된 후에 제1 게이트 구동 IC 칩(32A)과 마찬가지로 게이트 캐리 펄스(GCP)를 발생하여 제3 게이트 구동 IC 칩(32C)에 공급하게 된다. 제2 게이트 구동 IC 칩(32B)과 동일하게, 제3 내지 제5 게이트 구동 IC 칩들(32C 내지 32E)은 캐리 펄스(GCP)에 응답하여 $m/5$ 개씩의 스캐닝라인들($GL_{2m/5+1}$ 내지 GL_m)을 순차적으로 구동하게 된다. 한편, 신호배선(DL)은 스캐닝라인들(GL_1 내지 GL_m)과 교차됨과 아울러 나란하게 배열되어진 다수의 데이터라인들, 예를 들면, n 개의 데이터라인들(DL_1 내지 DL_n)로 구성되게 된다. 이들 다수의 데이터라인들(DL_1 내지 DL_n) 각각에는 다수의 박막 트랜지스터들의 소오스단자들이 접속되게 된다. 이들 데이터라인들(DL_1 내지 DL_n)은 데이터 구동 IC 칩들(34A 내지 34H)에 의해 k 개씩 분할·구동되게 된다. 즉, 액정패널(30)의 제1 영역 내에 배열되어진 k 개의 데이터라인들(DL_1 내지 DL_k)은 제1 데이터 구동 IC 칩(34A)에 의해 구동되고, 액정패널(30)의 제2 내지 제8 영역들 각각에 포함되어진 k 개씩의 데이터라인들(DL_{k+1} 내지 DL_{2k} , DL_{2k+1} 내지 DL_{3k} , DL_{3k+1} 내지 DL_{4k} , DL_{4k+1} 내지 DL_{5k} , DL_{5k+1} 내지 DL_{6k} , DL_{6k+1} 내지 DL_{7k} , DL_{7k+1} 내지 DL_n)은 제2 내지 제8 데이터 구동 IC 칩들(34B 내지 34H) 각각에 의해 구동되게 된다. 제1 내지 제8 데이터 구동 IC 칩들(34A 내지 34H)은 데이터버스(35)로부터 k 개의 데이터라인분씩의 데이터를 순차

적으로 입력하게 된다. 이를 위하여, 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)은 데이터 스타트 라인(33)에 직렬 접속됨과 아울러 데이터버스(35) 및 클럭라인(37)에 병렬 접속되게 된다. 데이터버스(35)를 통해 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)에 공급되는 데이터는 클럭라인(37)상의 데이터 클럭(DCLK)에 동기 된다. 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)의 데이터 입력과정을 상세히 설명하면, 제1 데이터 구동 IC 칩(34A)은 데이터 스타트 라인(33)으로부터 데이터 스타트 펄스(DSP)가 인가될 때에 클럭라인(37)으로부터의 데이터클럭(DCLK)에 맞추어 데이터버스(35)로부터 k개의 데이터라인 분의 데이터를 입력하게 된다. k개의 데이터라인 분의 데이터가 입력된 때에 제1 데이터 구동 IC 칩(34A)은 데이터 캐리 펄스(DCP)를 발생하고 그 데이터 캐리 펄스(DCP)를 제2 데이터 구동 IC 칩(34B)에 공급하게 된다. 제2 데이터 구동 IC 칩(34B)은 제1 데이터 구동 IC 칩(34A)으로부터 데이터 캐리 펄스(DCP)가 인가될 때에 클럭라인(37)으로부터의 데이터클럭(DCLK)을 이용하여 데이터버스(35)로부터 k개의 데이터라인 분의 데이터를 입력하게 된다. 아울러, 제2 데이터 구동 IC 칩(34B)은 k개의 데이터라인 분의 데이터가 입력된 후에 데이터 캐리 펄스(DCP)를 제3 데이터 구동 IC 칩(34C)에 공급하게 된다. 제2 데이터 구동 IC 칩(34B)에 직렬 접속되어진 제3 내지 제8 데이터 구동 IC 칩들(34C내지34H)은 순차적으로 제2 데이터 구동 IC 칩(34B)과 동일하게 구동되어 각각 k개의 데이터라인 분의 데이터를 입력하게 된다. 또한, 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H) 각각은 출력 인에이블 신호(OE)가 인가될 때에 k개의 데이터라인들(DL1내지DLn) 각각에 데

이터신호를 공급하게 된다. 데이터라인들 각각에 공급되는 데이터신호는 데이터 구동 IC 칩들(34A내지34H)에서 데이터가 아날로그 형태로 변환됨과 아울러 보정됨에 의하여 생성되게 된다.

또한, 액정패널 구동장치에는 제1 데이터 구동 IC 칩(34A)에 접속되어진 인에이블 라인(39)에 병렬 접속되어진 제1 내지 제7 폭신장기들(38A내지38G)이 추가로 포함되어 있다. 제1 폭신장기(38A)는 인에이블 라인(39)으로부터의 도9 에서와 같은 출력 인에이블 신호(OE)의 폭을 제1 소정 기간만큼 신장시키고 도9 에서와 같이 신장되어진 출력 인에이블 신호(이하 "1차 신장된 출력 인에이블 신호(EOE1)"라 함)를 제2 데이터 구동 IC 칩(34B)에 공급하게 된다. 제2 폭신장기(38B)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)를 제2 소정 기간만큼 신장시키고 도9 에서와 같이 제2 소정기간만큼 신장되어진 출력 인에이블 신호(이하 "2차 신장된 출력 인에이블 신호(EOE2)"라 함)를 제3 데이터 구동 IC 칩(34C)에 공급하게 된다. 제3 폭신장기(38C)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)를 제3 소정 기간만큼 신장시키고 도9 에서와 같이 제3 소정 기간만큼 신장되어진 출력 인에이블 신호(이하 "3차 신장된 출력 인에이블 신호(EOE3)"라 함)를 제4 데이터 구동 IC 칩(34D)에 공급하게 된다. 제4 폭신장기(38D)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)를 제4 소정 기간만큼 신장시키고 도9 에서와 같이 제4 소정 기간만큼 신장되어진 출력 인에이블 신호(이하 "4차 신장된 출력 인에이블 신호(EOE4)"라 함)를 제5 데이터 구동 IC 칩(34E)에 공급하게 된다. 제5 폭신장기(38E)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)를 제5 소정

기간만큼 신장시키고 도9 에서와 같이 제5 소정 기간만큼 신장되어진 출력 인에이블 신호(이하 "5차 신장된 출력 인에이블 신호(EOE5)"라 함)를 제6 데이터 구동 IC 칩(34F)에 공급하게 된다. 제6 폭신장기(38F)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)를 제6 소정 기간만큼 신장시키고 도9 에서와 같이 제6 소정 기간만큼 신장되어진 출력 인에이블 신호(이하 "6차 신장된 출력 인에이블 신호(EOE6)"라 함)를 제7 데이터 구동 IC 칩(34G)에 공급하게 된다. 제7 폭신장기(38G)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)를 제7 소정 기간만큼 신장시키고 도9 에서와 같이 제7 소정 기간만큼 신장되어진 출력 인에이블 신호(이하 "7차 신장된 출력 인에이블 신호(EOE7)"라 함)를 제8 데이터 구동 IC 칩(34H)에 공급하게 된다. 이들 제1 내지 제7 폭신장기들(38A내지38G)에 의하여 일정한 기간 만큼씩 길어진 폭을 가지게 되는 8개의 출력 인에이블 신호들(OE,EOE1 내지EOE7)이 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)에 각각 공급되게 된다. 이들 8개의 출력 인에이블 신호들(OE,DOE1내지DOE7) 각각에 응답하는 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H) 각각은 출력 인에이블 신호들 각각의 폭에 해당하는 기간동안 k개씩의 데이터신호를 출력하게 된다. 다시 말하여, 제1 데이터 구동 IC 칩(34A)은 출력 인에이블 신호(OE)의 폭에 해당하는 기간동안 k개의 데이터신호를 액정패널(30) 상의 k개의 데이터라인들(DL1내지DLk)에 공급하게 된다. 제2 내지 제8 데이터 구동 IC 칩들(34B내지34H) 각각은 출력 인에이블신호(OE)의 폭 보다 일정한 폭씩 점진적으로 커진 폭에 해당하는 기간동안 k개의 데이터신호를 액정패널(30) 상의 k개의 데이터라인(DLk+1내지DLn)에 공급하게 된다. 제1

내지 제7 폭신장기들(38A내지38G) 각각에 의해 신장되는 폭은 게이트라인을 통해 전송되는 스캐닝신호가 k개의 데이터라인들이 배열되어진 거리를 통과하는 기간에 해당하게끔 설정되게 된다. 이에 따라, 스캐닝라인(GL)의 시점 (즉 제1 영역의 시작부)으로부터 스캐닝라인(GL)의 종점(즉, 제6 영역의 종료부)까지 전달되는 스캐닝신호가 지연되더라도 데이터신호들이 데이터라인들(DL)에 정확하게 공급되게 된다. 이 결과, 액정패널(30)에 포함되어진 액정셀들(도시하지 않음) 각각에는 정확한 데이터신호가 공급되게 되고, 나아가 액정패널(30)에 표시되는 화상이 왜곡되지 않게 된다. 제1 내지 제7 폭신장기들(38A내지38G)은 단안정 멀티 바이브레이터(Mono stable multivibrator)를 이용하여 출력 인에이블신호의 폭을 신장시킬 수 있다.

도10 에는 본 발명의 다른 실시 예에 따른 액정패널 구동장치가 도시되어 있다. 도10 에 도시된 액정패널 구동장치는 도8 에서의 제1 내지 제7 폭신장기들(38A내지38G)이 하나의 폭신장기(38)로 대체됨과 아울러 인에이블 라인(39)이 제1 내지 제7 데이터 구동 IC 칩들(34A내지34G)에 공통적으로 접속되어진 회로구성을 가진다. 이 폭신장기(38)는 인에이블 라인(39)으로부터의 출력 인에이블 신호(OE)의 폭을 스캐닝라인(GL)에서의 스캐닝신호의 지연시간에 해당하는 폭 만큼 신장시키고 그 신장되어진 출력 인에이블 신호를 제8 데이터 구동 IC 칩(34H)에 공급하게 된다. 이에 따라, 제1 내지 제7 데이터 구동 IC 칩들(34A내지34G) 모두는 출력 인에이블 신호의 인에이블 기간에 k개씩의 데이터신호들을 액정패널(30)에 공급하게 되는 반면에 제8 데이터 구동 IC 칩(34H)은 출력

인에이블신호(OE)의 인에이블 기간 보다 게이트라인(GL)에서의 지연시간 만큼 긴 시간동안 k개의 데이터신호들을 액정패널(30)에 공급하게 된다. 이러한 동작에 의해, 액정패널(30)에 포함되어진 액정셀들 각각에는 데이터신호가 정확하게 인가되게 된다. 이 결과, 액정패널(30)에 표시되는 화상은 왜곡되지 않게 된다. 이러한 회로 구성을 갖는 본 발명의 다른 실시 예에 따른 액정패널 구동장치는 도8에서의 액정패널 구동장치에 비하여 회로구성을 간소화 할 수 있다는 장점을 가지게 된다.

도11 을 참조하면, 본 발명의 또 다른 실시 예에 따른 액정패널 구동장치가 도시되어 있다. 도11 에 도시된 바와 같이, 액정패널 구동장치는 액정패널(30)의 스캐닝배선(GL)을 구동하기 위한 게이트 구동 IC 칩들(32A내지32E)과, 액정패널(30)의 신호배선(DL)을 구동하기 위한 데이터 구동 IC 칩들(34A내지34H)을 구비한다. 스캐닝배선(GL)은 다수의 스캐닝라인들, 예를 들면, m개의 스캐닝라인(GL1내지GLm)들을 구비하며, 이들 스캐닝 라인들(GL1내지GLm) 각각에는 다수의 박막 트랜지스터들(도시하지 않음)의 게이트전극들이 접속되게 된다. 게이트 구동 IC 칩들(32A내지32E)은 다수의 스캐닝라인들(GL1내지GLm)을 분할·구동하게 된다. 이를 상세히 하면, 제1 게이트 구동 IC 칩(32A)은 게이트 캐리 라인(31)을 통해 게이트 스타트 펄스(GSP)가 공급된 때 첫 번째 내지 m/5 번째 스캐닝라인들(GL1내지GLm/5)에 게이트신호를 순차적으로 공급하게 된다. 그러면 첫 번째 내지 m/5 번째 스캐닝라인들(GL1내지GLm/5)은 제1 게이트 구동 IC 칩(32A)으로부터 순차적으로 공급되는 스캐닝신호에 의해 순차적으로 구동되게 된다. 아울러, 제1 게이트 구동 IC 칩(32A)은 m/5번째 스캐닝라인(GLm/5)이 구동된 때에 제2 게이트

구동 IC 칩(32B)의 캐리단자에 특정논리의 게이트 캐리 펄스(GCP)를 공급하게 된다. 제2 게이트 구동 IC 칩(32B)은 제1 게이트 구동 IC 칩(32A)으로부터의 게이트 캐리 펄스(GCP)에 응답하여 $\frac{m}{5} + 1$ 번째 내지 $2m/5$ 번째 스캐닝라인들($GL_{m/5+1}$ 내지 $GL_{2m/5}$)에 스캐닝신호를 순차적으로 공급하게 된다. 제2 게이트 구동 IC 칩(32B)으로부터 순차적으로 공급되는 스캐닝신호에 의해, $\frac{m}{5} + 1$ 번째 내지 $2m/5$ 번째 스캐닝라인들($GL_{m/5+1}$ 내지 $GL_{2m/5}$)은 순차적으로 구동되게 된다. 또한, 제2 게이트 구동 IC 칩(32B)은 $2m/5$ 번째 스캐닝 라인($GL_{2m/5}$)이 구동된 후에 제1 게이트 구동 IC 칩(32A)과 마찬가지로 게이트 캐리 펄스(GCP)를 발생하여 제3 게이트 구동 IC 칩(32C)에 공급하게 된다. 제2 게이트 구동 IC 칩(32B)과 동일하게, 제3 내지 제5 게이트 구동 IC 칩들(32C 내지 32E)은 캐리 펄스(GCP)에 응답하여 $m/5$ 개씩의 스캐닝라인들($GL_{2m/5+1}$ 내지 GL_m)을 순차적으로 구동하게 된다. 한편, 신호배선(DL)은 스캐닝라인들(GL_1 내지 GL_m)과 교차됨과 아울러 나란하게 배열되어진 다수의 데이터라인들, 예를 들면, n 개의 데이터라인들(DL_1 내지 DL_n)로 구성되게 된다. 이들 다수의 데이터라인들(DL_1 내지 DL_n) 각각에는 다수의 박막 트랜지스터들의 소오스단자들이 접속되게 된다. 이들 데이터라인들(DL_1 내지 DL_n)은 데이터 구동 IC 칩들(34A 내지 34H)에 의해 k 개씩 분할·구동되게 된다. 즉, 액정패널(30)의 제1 영역 내에 배열되어진 k 개의 데이터라인들(DL_1 내지 DL_k)은 제1 데이터 구동 IC 칩(34A)에 의해 구동되고, 액정패널(30)의 제2 내지 제8 영역들 각각에 포함되어진 k 개씩의 데이터라인들(DL_{k+1} 내지 DL_{2k} , DL_{2k+1} 내지 DL_{3k} , DL_{3k+1} 내

지DL4k, DL4k+1내지DL5k, DL5k+1내지DL6k, DL6k+1내지DL7k, DL7k+1내지DLn)은 제2 내지 제8 데이터 구동 IC 칩들(34B내지34H) 각각에 의해 구동되게 된다. 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)은 데이터버스(35)로부터 k개의 데이터라인분의 데이터들을 순차적으로 입력하게 된다. 이를 위하여, 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)은 데이터 스타트 라인(33)에 직렬 접속됨과 아울러 데이터 버스(35) 및 클럭라인(37)에 병렬 접속되게 된다. 데이터버스(35)를 통해 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)에 공급되는 데이터는 클럭라인(37)상의 데이터 클럭(DCLK)에 동기 된다.

제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)의 데이터 입력과정을 상세히 설명하면, 제1 데이터 구동 IC 칩(34A)은 데이터 스타트 라인(33)으로부터 데이터 스타트 펄스(DSP)가 인가된 때에 클럭라인(37)으로부터의 데이터클럭(DCLK)에 맞추어 데이터버스(35)로부터 k개의 데이터라인분의 데이터를 입력하게 된다. k개의 데이터라인분의 데이터가 입력된 때에 제1 데이터 구동 IC 칩(34A)은 데이터 캐리 펄스(DCP)를 발생하고 그 데이터 캐리 펄스(DCP)를 제2 데이터 구동 IC 칩(34B)에 공급하게 된다. 제2 데이터 구동 IC 칩(34B)은 제1 데이터 구동 IC 칩(34A)으로부터 데이터 캐리 펄스(DCP)가 인가된 때에 클럭라인(37)으로부터의 데이터클럭(DCLK)에 응답하여 데이터버스(35)로부터 k개의 데이터라인분의 데이터를 입력하게 된다. 아울러, 제2 데이터 구동 IC 칩(34B)은 k개의 데이터라인분의 데이터가 입력된 후에 데이터 캐리 펄스(DCP)를 제3 데이터 구동 IC 칩(34C)에 공급하게 된다. 제2 데이터 구동 IC 칩(34B)에 직렬 접속되어진 제3 내지 제8 데이

터 구동 IC 칩들(34C내지34H)은 순차적으로 제2 데이터 구동 IC 칩(34B)과 동일하게 구동되어 각각 k개의 데이터라인 분의 데이터를 입력하게 된다. 또한, 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H) 각각은 출력 인에이블 신호(OE)가 인가될 때에 k개의 데이터라인들(DL1내지DLn) 각각에 데이터신호를 공급하게 된다. 데이터라인들 각각에 공급되는 데이터신호는 데이터 구동 IC 칩들(34A내지34H)에서 데이터가 아날로그 형태로 변환됨과 아울러 보정됨에 의하여 생성되게 된다.

액정패널 구동장치는 제1 내지 제8 데이터 구동 IC 칩들(34A 내지 34H)에 접속되어진 제1 출력 제어기(40)와, 제1 내지 제5 게이트 구동 IC 칩들(32A내지32E)에 접속된 제2 출력 제어기(42)를 추가로 구비한다. 제1 출력 제어기(40)는 도12에 도시된 바와 같은 제1 내지 제8 데이터 출력 인에이블 신호(DOE1내지DOE8)를 발생한다. 제2 데이터 출력 인에이블 신호(DOE2)는 제1 데이터 출력 인에이블 신호(DOE1) 보다 소정 기간 큰 폭을 갖는다. 또한, 제3 내지 제8 데이터 출력 인에이블 신호들(DOE3내지DOE8)은 각각 제2 내지 제7 데이터 출력 인에이블 신호들(DOE2내지DOE7) 보다 일정기간 큰 폭을 갖게 된다. 일정기간씩 커지는 폭을 갖는 8개의 데이터 출력 인에이블 신호들(DOE1내지DOE8)은 제1 내지 제8 데이터 구동 IC 칩들(34A내지34H)에 각각 공급되게 된다. 제1 내지 제8 데이터 출력 인에이블 신호들(DOE1내지DOE8) 각각에 응답하는 제1 내지 제8 데이터 구동 IC 칩들(34A 내지34H) 각각은 데이터 출력 인에이블 신호(DOE1내지DOE8)의 폭에 해당하는 기간 동안에 k개씩의 데이터 신호들을 출력한다. 다시 말하자면, 제1 데이터 구동 IC 칩(34A)은 제1 데이터 출력 인에이블 신호(DOE1)의 폭에 해당하는 기간동안 액정패

널(30) 상의 k개의 데이터라인들(DL1내지DLk)에 k개의 데이터신호를 공급한다.

제2 내지 제8 데이터 구동 IC 칩들(34B내지34H)도 제1 데이터 출력 인에이블 신호(DOE1)의 폭에 비하여 일정한 폭씩 점진적으로 커지는 폭에 해당하는 기간동안 액정패널(30) 상의 k개의 데이터라인들(DLk+1내지DLn)에 k개의 데이터신호를 각각 공급한다. 소정시간은 스캐닝라인 상에서 전송되는 스캐닝신호가 k개의 데이터라인들이 배열되어진 거리를 통과하는 시간에 상응하게끔 설정된다. 따라서, 스캐닝라인(GL)의 시작점 (즉, 제1 영역의 시작부)으로부터 스캐닝라인(GL)의 종료점 (즉, 제8 영역의 끝부분)으로 전송되는 스캐닝신호가 지연되더라도, 데이터 신호들은 데이터 라인들에 정확하게 전송되게 된다. 그 결과, 정확한 데이터 신호가 액정패널(30)에 포함되어진 각 액정셀(도시하지 않음)에 공급되므로, 액정패널(30) 상에 표시된 화상이 왜곡되지 않게 된다. 제1 내지 제8 데이터 출력 인에이블 신호들(DOE1 내지 DOE8)을 발생하기 위하여, 제1 출력 제어기(40)는 도8 에 도시된 바와 같은 제1 내지 제7 폭신장기들(38A내지38G)로 구성될 수 있다.

한편, 제2 출력 제어기(42)는 제1 동기라인(41)으로부터의 수직동기신호(VS), 제2 동기라인(43)으로부터의 수평동기신호(HS) 및 클럭라인(45)으로부터의 클럭신호(CLK)에 응답한다. 제2 출력 제어기(42)는 도13 에 도시된 바와 같은 게이트 출력 인에이블 신호(GOE)를 발생하고 그 게이트 출력 인에이블 신호(GOE)를 제1 내지 제5 게이트 구동 IC 칩들(32A내지32E)에 공급한다. 게이트 출력 인에이블 신호(GOE)는 하나의 수직동기기간 동안에 매 수평동기기간 마다 일정기간씩 점진적으로 커지는 인에이블 폭(즉, 로우논리구간)을 가진다. 제2 출력 제

여기(42)로부터의 게이트 출력 인에이블 신호(GOE)에 공통적으로 응답하는 제1 내지 제5 게이트 구동 IC 칩들(32A내지32E)은 도14 에 도시된 바와 같이 일정 기간씩 점진적으로 넓어지는 폭들을 각각 가지는 m개의 스캐닝 신호들(GSS1 내지 GSSm)을 발생한다. m개의 스캐닝 신호들(GSS1내지GSSm)은 m개의 스캐닝라인들(GL1내지GLm)에 공급되어 하나의 데이터 라인(DL)에 접속된 액정셀들의 신호충전기간들이 도15 에 도시된 타이밍 신호들(CSS1내지CSSm)과 같이 일정기간씩 점진적으로 커진다. 일정기간은 데이터라인 상에서 전송되는 데이터신호가 두 개의 스캐닝라인들이 배열되어진 거리를 통과하는 시간에 상응하게끔 설정되게 된다. 따라서, 데이터라인의 시점(즉, 상단부)으로부터 데이터라인(DL)의 종점(즉, 하단부)으로 전송되는 데이터신호가 지연되더라도, 데이터 신호들이 액정패널(30) 상의 액정셀들에 정확하게 공급되게 된다. 아울러, 액정패널(30) 상의 액정셀들의 충전시간이 균일하게 된다. 그 결과, 정확한 데이터 신호가 액정패널(30)에 포함된 각 액정셀들에 공급되게 되므로, 액정패널(30) 상에 표시된 화상이 왜곡되지 않게 된다.

이는 1024개의 데이터라인들과 768개의 스캐닝라인들을 갖는 액정패널에 대한 시뮬레이션을 통해 확인할 수 있었다. 이 시뮬레이션에 있어서, 768개의 스캐닝라인들을 8개의 그룹으로 나누어짐과 아울러 1024개의 데이터라인들도 8개의 그룹으로 나누어지게 된다. 다시 말하여, 1024×768 화소를 갖는 액정패널은 도16 에 도시된 바와 같이 8×8 의 블록으로 나누어지게 된다. 스캐닝신호는 스캐닝 라인 그룹에 따라 다른 폭을 갖게 된다. 이를 상세히 하면, 스캐닝신호는 도17 에

도시된 바와 같이 스캐닝라인의 그룹이 위쪽으로부터 아래쪽으로 갈수록 1 수평동기신호의 주기로부터 점진적으로 적어지는 폭을 갖게 된다. 이 때, 게이트 출력 인에이블신호의 디스에이블 기간(즉, 하이논리구간)도 도17 에서와 같이 스캐닝라인의 그룹이 위에서 아래로 진행함에 따라 커지게 된다. 또한, 데이터신호는 데이터 라인 그룹에 따라 다른 폭을 가지게 된다. 이를 상세히 하면, 데이터신호는 도18에 도시된 바와 같이 데이터라인의 그룹이 우측으로부터 아래쪽으로 갈수록 점진적으로 적어지는 폭을 갖게 된다. 우측의 데이터라인 그룹에 인가되는 데이터신호는 1 수평동기신호의 주기에 근접하는 폭을 갖는다. 이 때, 데이터 출력 인에이블신호들의 디스에이블 기간(즉, 하이논리구간)도 도18 에서와 같이 데이터라인의 그룹이 우측에서 좌측으로 진행함에 따라 점진적으로 커진다. 이러한 스캐닝신호들과 데이터신호의 폭이 영역에 따라 점진적으로 변함에 따라, 액정패널 상의 8×8의 블록들 각각은 도19 에 도시된 바와 같이 스캐닝신호 및 데이터신호를 공급받게 된다. 도20A 내지 도20D 는 1, 3, 5 및 8 번째의 데이터라인의 그룹들에 인가되는 데이터 출력 인에이블신호의 디스에이블 기간을 각각 나타낸다. TDOE는 통상의 구동방법에 의해 생성되어진 데이터 출력 인에이블 신호를 나타내는 반면 PDOE는 본 발명에 따른 구동방법에 의해 생성되어진 데이터 출력 인에이블 신호를 나타낸다. 도20A 내지 도20D 를 통하여, 종래의 구동방법에 의해 생성되어진 데이터 출력 인에이블 신호의 디스에이블 기간이 데이터라인의 위치와 무관하게 일정한 반면에 본 발명의 구동방법에 의해 생성되어진 데이터 출력 인에이블 신호(PDOE)의 디스에이블 기간은 데이터 라인이 좌측에서 우측으로 진행함에 따라 점진적으로 좁

아지는 것을 알 수 있다. 도21A 내지 도21D 는 1, 3, 5 및 8 번째의 스캐닝라인의 그룹들에 인가되는 게이트 출력 인에이블신호의 디스에이블 기간을 각각 나타낸다.

TGOE는 통상의 구동방법에 의해 생성되어진 게이트 출력 인에이블 신호를 나타내는 반면 PGOE는 본 발명에 따른 구동방법에 의해 생성되어진 게이트 출력 인에이블 신호를 나타낸다. 도21A 내지 도21D 를 통하여, 종래의 구동방법에 의해 생성되어진 게이트 출력 인에이블 신호(TGOE)의 디스에이블 기간이 스캐닝라인의 위치와 무관하게 일정한 반면에 본 발명의 구동방법에 의해 생성되어진 게이트 출력 인에이블 신호(PGOE)의 디스에이블 기간은 스캐닝 라인이 위에서 아래쪽으로 진행함에 따라 점진적으로 커진다는 것을 알 수 있다. 이와 같이, 게이트 출력 인에이블 신호 및 데이터 출력 인에이블 신호의 폭들이 스캐닝라인 및 데이터라인의 위치들에 따라 변하게 됨으로써 액정패널 상의 4개의 코너 블록들 각각에는 도22A 내지 도22D 에서와 같은 스캐닝신호 및 데이터신호가 검출되게 된다. 도22A 는 액정패널의 우측 상단의 블록에서 검출되어진 스캐닝신호(GSS) 및 데이터신호(DS)를 도시하고, 도22B 는 액정패널의 좌측 하단의 블록에서 검출되어진 스캐닝신호(GSS) 및 데이터신호(DS)를 상세하게 나타낸다. 도22C 는 액정패널의 우측 상단의 블록에서 검출되어진 스캐닝신호(GSS) 및 데이터신호(DS)를 도시하고, 도22D 는 액정패널의 좌측 하단의 블록에서 검출되어진 스캐닝신호(GSS) 및 데이터신호(DS)를 상세하게 나타낸다. 도22A 내지 도22D 를 통하여, 스캐닝 및 데이터 신호들(GSS,DS)은 액정패널(30) 상의 모든 액정셀들에서 동기되게 된다. 이에 따라, 데이터 신호는 액정패널(30)에 포함되어진 모든 액정셀들에 정확하게 공급된다. 아울러, 도22A

내지 도22D 는 액정패널 상의 모드 액정셀들의 충전시간이 균일하게 된다는 것을 나타낸다. 이 결과, 액정패널(30) 상에 표시된 화상은 왜곡되지 않게 된다.

이러한 사실은 표1 및 표2 에 나타난 시뮬레이션 결과에 의해 입증되고 있다. 표1 과 표2 는 도19 에 도시된 바와 같이 액정패널의 4개의 코너에 위치한 액정셀들 (CL1 내지 CL4) 각각에서 검출되어진 화소전압(V_{ci}) 및 피드 드로우 전압(ΔV_p)과, 그리고 그 4개의 액정셀들(CL1 내지 CL4) 각각이 데이터신호를 충전하는 기간을 나타낸다. 4개의 액정셀들(CL1 내지 CL4) 각각에 충전되는 화소 전압(P_{ci})은 도19 에서와 같이 20 V의 스캐닝신호(GSS)와 7V의 데이터신호(DS)가 인가되는 기간동안에 4개의 액정셀들(CL1내지CL4) 각각에 충전되는 최대값을 나타낸다. 그리고 피드 드로우 전압(ΔV_p)은 스캐닝신호 및 데이터신호가 차단될 때 화소전압(V_{ci})의 변화량을 나타낸다.

【표 1】

	V_{ci}	ΔV_p	충전시간
CL1	6.248 V	752 mV	7.6 μs
CL2	6.279 V	721 mV	8.2 μs
CL3	6.211 V	789 mV	10.7 μs
CL4	6.255 V	745 mV	10.8 μs

【표 2】

	V_{ci}	ΔV_p	충전시간
CL1	6.256 V	744 mV	6.2 μs
CL2	6.268 V	732 mV	10.0 μs
CL3	6.237 V	763 mV	9.2 μs
CL4	6.258 V	742 mV	10.7 μs

또한, 표1 및 표2 에 나타난 화소전압(V_{ci}), 피드 드로우 전압(ΔV_p) 및 충전시간을 검출하기 위하여, 시뮬레이션 조건은 표3 에서와 같이 설정되었다.

【표 3】

액정패널	18.1 인치의 SXGA
수평동기주기	16 μ s
데이터라인에 의한 지연시간	4.0 μ s
게이트라인에 의한 지연시간	5.3 μ s
데이터신호의 전압	-5 ~ +20 V
스캐닝신호의 전압	+3 ~ +7 V
공통전압	+5 V (직류)

표1 은 종래의 액정패널 구동장치에 의해 액정패널이 구동되었을 경우에, 즉 스캐닝라인들 모두에 $13.35\mu\text{s}=16\mu\text{s}-(\tau_g/2)$ 의 폭을 갖는 스캐닝신호(GSS)가, 그리고 데이터라인들 모두에는 $16\mu\text{s}$ 의 폭을 갖는 데이터신호(DS)가 인가되어진 경우에 얻어진 화소전압(V_{ci}), 피드 드로우 전압($\angle V_p$) 및 충전시간을 나타낸다. 반면에 표2 는 도11 에 도시된 액정패널이 구동되어진 경우, 즉 스캐닝라인이 아래쪽에서 위쪽으로 진행함에 따라 스캐닝신호(GSS)의 폭이 $13.35\mu\text{s}$ 로부터 점진적으로 좁아짐과 아울러 데이터라인이 우측으로부터 좌측으로 진행함에 따라 데이터신호(DS)의 폭이 $14\mu\text{s}=16\mu\text{s}-(\tau_d/2)$ 로부터 점진적으로 좁아지는 경우에 얻어진 화소전압(V_{ci}), 피드 드로우 전압($\angle V_p$) 및 충전시간을 나타낸다. 표1 및 표2 를 참조하면, 피드 드로우 전압($\angle V_p$)의 편차는 종래의 액정패널 구동장치의 경우에 68 mV인 반면에, 도11 의 액정패널 구동방법의 경우에는 31 mV가 된다. 이와 같이, 도11 의 액정패널 구동장치에서는 피드 드로우 전압($\angle V_p$)의 편차가 절반 이하로 감소되게 된다.

도23 은 도11 에 도시된 제2 출력 제어기(42)의 상세한 블록도이다. 도23 에 있어서, 제2 출력 제어기(42)는 제1 동기라인(41)으로부터의 수직동기신호(VS)와 제2 동기라인(43)으로부터의 수평동기신호(HS)를 수신하는 제1 카운터(44)와, 클럭라인(45)으로부터의 클럭신호를 입력하는 제2 카운터(48)를 구비한다. 제1 카

운터(44)는 수직동기신호(VS)의 블랭크기간에 출력값을 "0"으로 리셋하고 수직동기신호(VS)의 주사기간에는 수평동기신호(HS)를 카운트한다. 제1 카운터(44)에서 발생되어진 카운트된 값은 가산기(46)에 의해 초기 값에 가산되게 된다.

가산기(46)는 그 때 초기값(IV)으로부터 수평동기신호 주기마다 "1"씩 증가하는 기준값을 발생한다. 기준값은 비교기(50)에 공급된다. 제2 카운터(48)는 수평동기신호(HS)의 블랭크기간에 출력값을 "0"으로 리셋 함과 아울러 수평동기신호(HS)의 주사기간에는 클럭신호(CLK)를 카운트하게 된다. 제2 카운터(48)에 의해 카운트된 값은 비교기(50)에서 기준 값과 비교됨으로써 게이트 출력 인에이블 신호(GOE)를 발생하게 된다. 게이트 출력 인에이블 신호(GOE)는 제2 카운터(48)로부터의 값이 기준 값 보다 큰 때에 하이논리값을 가진다. 기준 값이 제2 카운터(48)에 의해 카운트된 값 보다 크면, 게이트 출력 인에이블 신호(GOE)는 로우논리값을 가진다. 비교기(50)에서는 하나의 수직동기주기 동안에 수평동기신호의 주기마다 하나의 클럭신호(CLK)의 주기 만큼씩 점진적으로 증가되는 로우논리구간을 가지는 게이트 출력 인에이블 신호(GOE)가 발생되게 된다.

【발명의 효과】

상술한 바와 같이, 본 발명에서는 액정패널의 스캐닝배선에서의 지연특성에 따라 신호배선에 공급되어질 데이터신호들이 지연됨으로써 액정셀들에 충전되는 신호전압이 왜곡되지 않도록 한다. 다른 방법으로, 본 발명에서는 액정패널의 스캐닝배선에서의 지연특성에 따라 데이터신호들이 신호배선에 공급되는 기간이 길어지

게 됨으로써 액정셀들에 충전되는 신호전압이 왜곡되지 않도록 한다. 이에 따라, 본 발명은 액정패널에 왜곡되지 않은 영상이 표시되도록 함과 아울러 액정패널의 좌측 및 우측에서의 광 투과도를 균일하게 할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

【특허청구범위】

【청구항 1】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 방법에 있어서,

상기 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 단계와,

상기 스캐닝배선 상의 위치에 따라 폭이 증가되는 데이터신호전압을 상기 신호배선에 제공하는 단계를 포함하는 것을 특징으로 하는 액정패널 구동 방법.

【청구항 2】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 방법에 있어서,

상기 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 단계와,

상기 신호배선에 데이터 신호전압들을 제공하는 단계와,

상기 신호배선에 공급되어질 신호전압들이 상기 스캐닝 배선의 위치에 따라서 서로 다른 폭을 갖게끔 하는 단계를 포함하는 것을 특징으로 하는 액정패널 구동 방법.

【청구항 3】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동

하는 방법에 있어서,

상기 신호배선에 데이터 신호전압을 공급하는 단계와,

상기 신호배선의 위치에 따라 폭이 증가되는 스캐닝 신호 전압을 상기 스캐닝배선에 공급하는 단계를 포함하는 것을 특징으로 하는 액정패널 구동방법.

【청구항 4】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 방법에 있어서,

상기 신호배선의 위치에 따라 폭이 증가되는 스캐닝 신호 전압을 상기 스캐닝배선에 공급하는 단계와,

상기 스캐닝배선의 위치 따라 폭이 증가되는 데이터 신호전압을 상기 신호배선에 공급하는 단계를 포함하는 것을 특징으로 하는 액정패널 구동방법.

【청구항 5】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 장치에 있어서,

상기 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 스캐닝측 구동수단과,

상기 신호배선에 데이터 신호전압들을 제공하는 신호측 구동수단과,

상기 스캐닝배선에 공급되어질 스캐닝전압이 상기 신호 배선의 위치에 따라

서로 다른 폭을 갖게끔 하는 폭조절수단을 구비하는 것을 특징으로 하는 액정패널 구동 장치.

【청구항 6】

제 5 항에 있어서,

상기 신호측 구동수단이 상기 신호배선을 일정한 영역씩 분할하고 그 분할된 영역들에 데이터 신호전압들을 공급하는 다수의 신호배선 구동 셀들을 구비하는 것을 특징으로 하는 액정패널 구동장치.

【청구항 7】

제 5 항에 있어서,

상기 폭조절수단은 스캐닝배선이 상기 신호배선의 시점으로부터 상기 신호배선의 종료점으로 갈수록 점진적으로 커지는 출력 인에이بل 신호를 스캐닝 배선 구동수단에 공급하는 것을 특징으로 하는 액정패널 구동장치.

【청구항 8】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 장치에 있어서,

상기 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 스캐닝측 구동수단과,

상기 스캐닝배선 상의 위치에 따라 폭이 증가되는 데이터신호전압을 상기 신호배선에 제공하는 신호측 구동수단을 구비하는 것을 특징으로 하는 액정패널 구동

장치.

【청구항 9】

제 8 항에 있어서,

상기 신호측 구동수단이,

상기 신호배선을 일정한 영역씩 분할하고 그 분할된 영역들에 데이터 신호전압들을 공급하는 다수의 신호배선 구동 셀들과,

상기 다수의 신호배선 구동 셀들 각각으로부터 상기 신호배선에 공급되는 상기 데이터 신호전압들의 폭들이 점진적으로 증가되게끔 상기 신호배선 구동 셀들을 구동하는 제어수단을 구비하는 것을 특징으로 하는 액정패널 구동장치.

【청구항 10】

제 9 항에 있어서,

상기 제어수단이 상기 신호배선 구동 셀들 각각의 상기 신호전압 출력기간을 제어하는 출력 인에이블 신호의 폭이 일정한 기간씩 커지게 하는 폭신장기를 구비하는 것을 특징으로 하는 액정패널 구동장치.

【청구항 11】

스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 장치에 있어서,

상기 스캐닝배선에 펄스 형태의 스캐닝 전압을 제공하는 스캐닝측 구동수단과,

상기 신호배선에 데이터 신호전압들을 제공하는 신호측 구동수단과,

상기 신호배선에 공급되어질 신호전압들이 상기 스캐닝 배선의 위치에 따라서 다른 폭을 갖게끔 하는 폭조절수단을 구비하는 것을 특징으로 하는 액정패널 구동 장치.

【청구항 12】

제 11 항에 있어서,

상기 신호측 구동수단이 상기 신호배선을 일정한 영역씩 분할하고 그 분할된 영역들에 데이터 신호전압들을 공급하는 다수의 신호배선 구동 셀들을 구비하는 것을 특징으로 하는 액정패널 구동장치.

【청구항 13】

제 11 항에 있어서,

상기 폭조절수단이 상기 신호배선 구동 셀들 각각의 상기 신호전압 출력기간을 제어하는 출력 인에이블 신호가 상기 스캐닝배선의 종단부에 위치하는 신호배선 구동 셀의 상기 신호전압 출력기간을 제어하는 출력 인에이블 신호의 폭이 일정한 기간만큼 커지게 하는 폭신장기를 구비하는 것을 특징으로 하는 액정패널 구동장치.

【청구항 14】

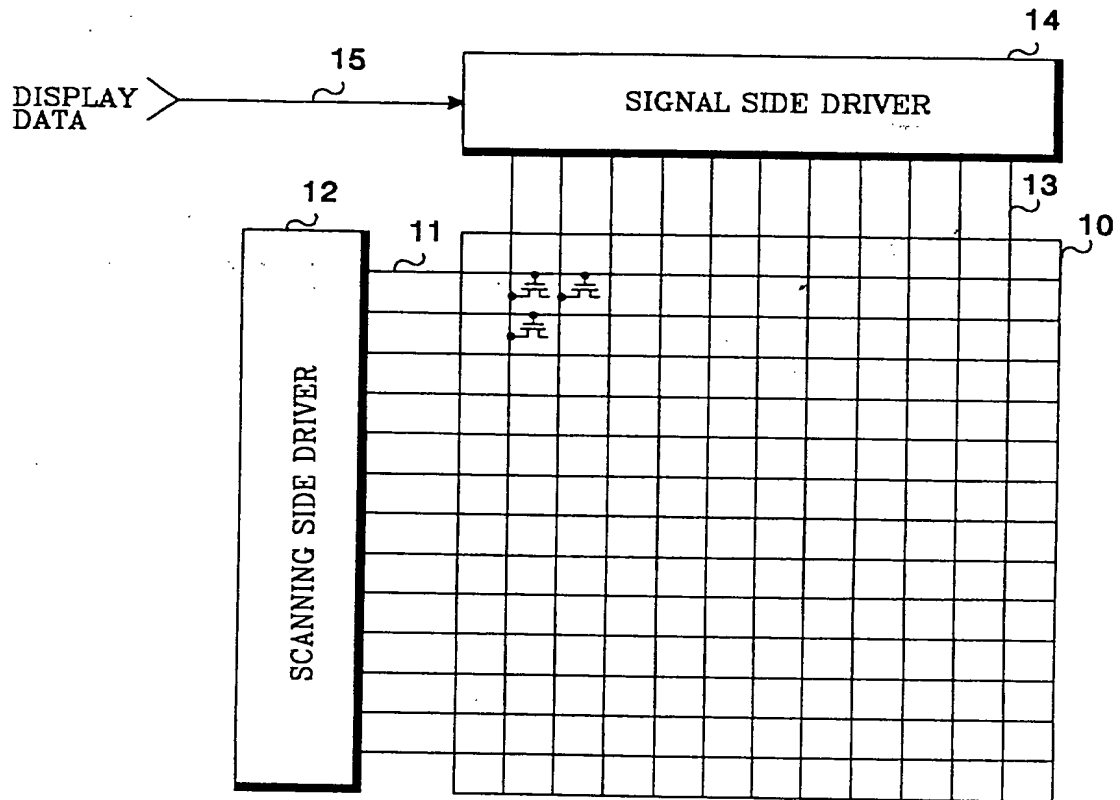
스캐닝배선과 신호배선과의 교차점들 각각에, 스캐닝배선과 신호배선에 접속되어진 박막 트랜지스터들과 함께 액정셀이 마련된 매트릭스 타입 액정패널을 구동하는 장치에 있어서,

상기 신호배선의 위치에 따라 폭이 증가되는 스캐닝 신호 전압을 상기 스캐닝배선에 공급하는 스캐닝측 구동수단과,

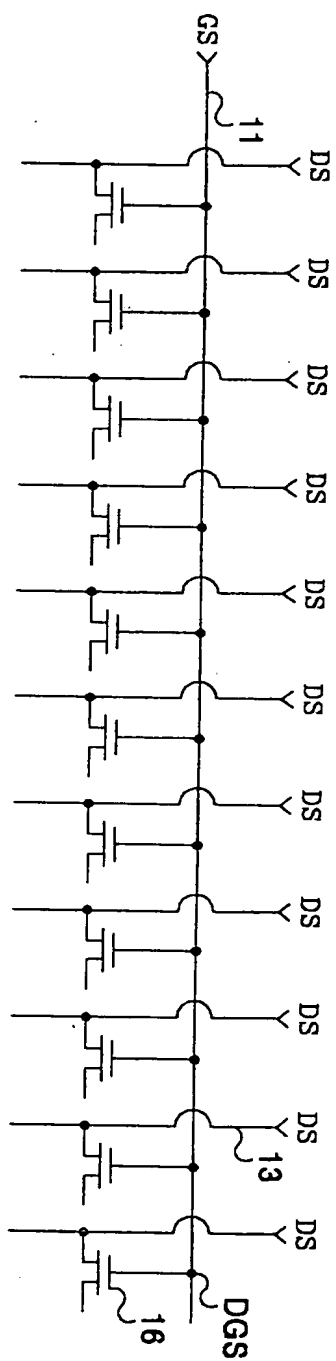
상기 스캐닝배선의 위치 따라 폭이 증가되는 데이터 신호전압을 상기 신호배선에 공급하는 신호측 구동수단을 구비하는 것을 특징으로 하는 액정패널 구동장치.

【도면】

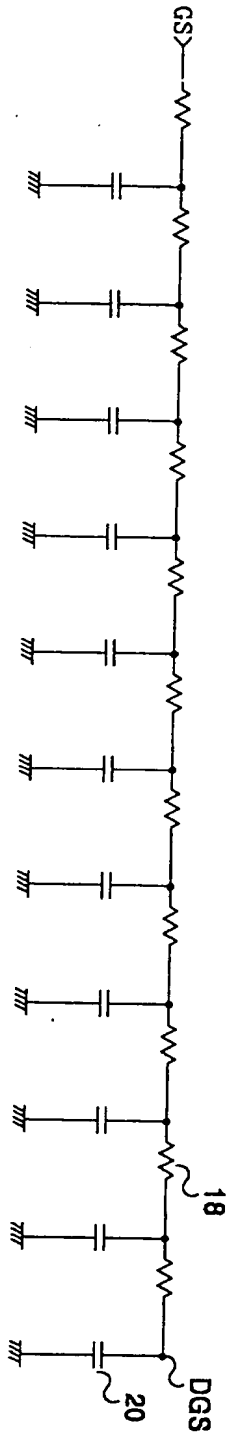
【도 1】



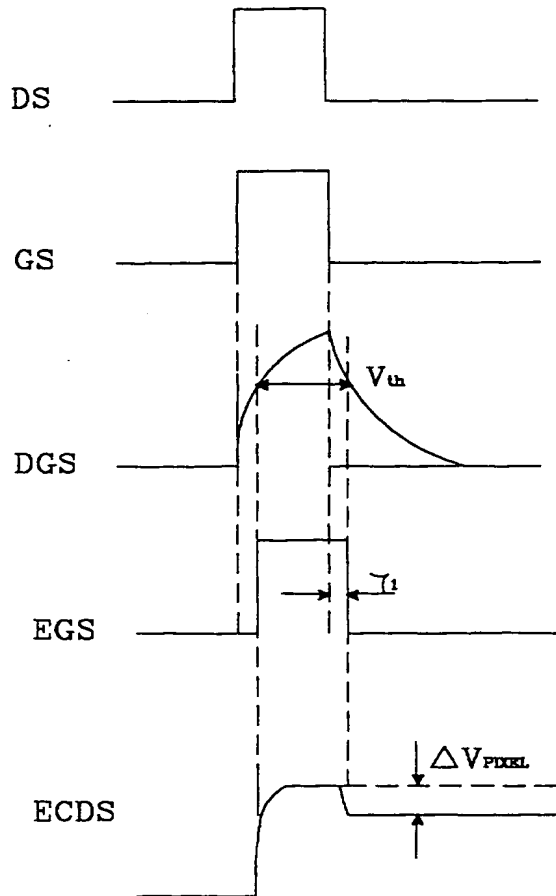
【图 2】



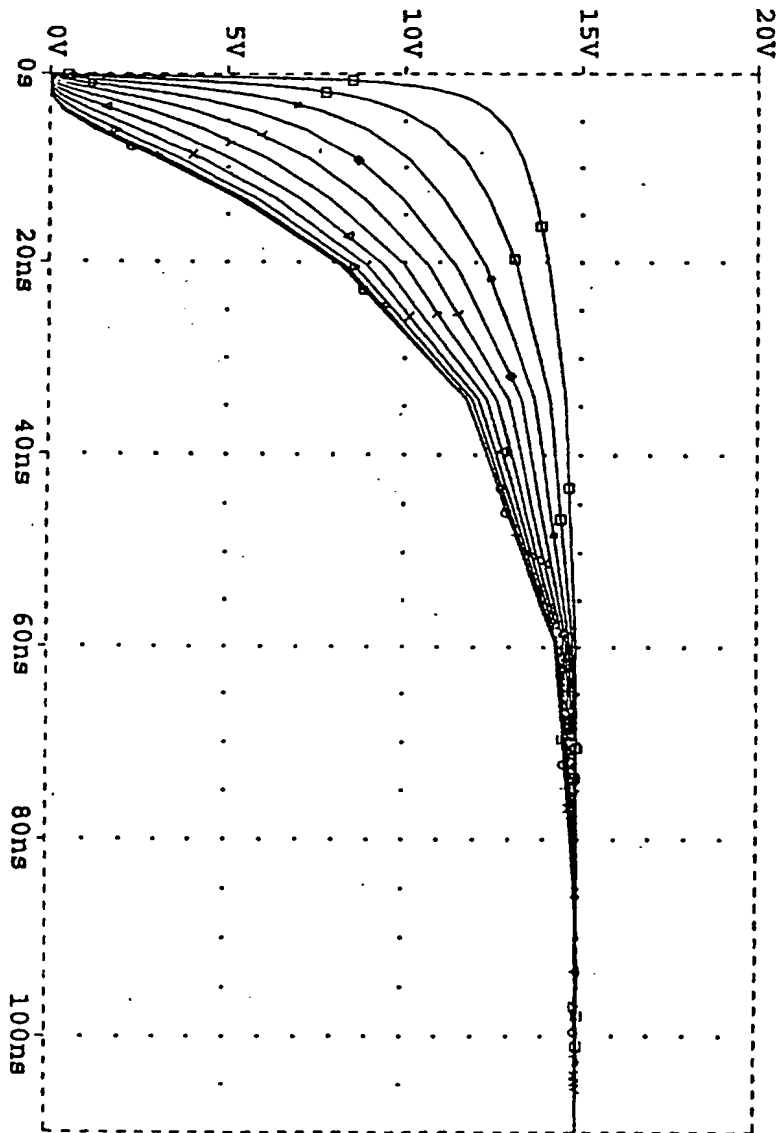
【도 3】



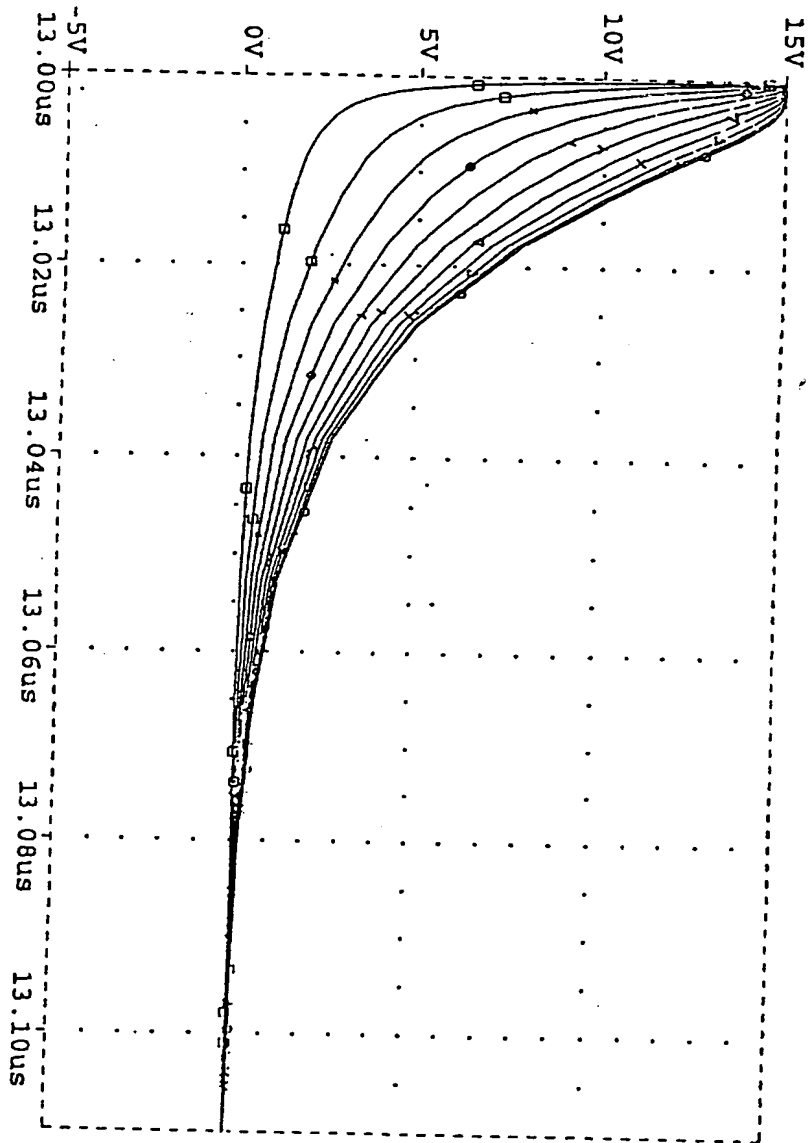
【도 4】



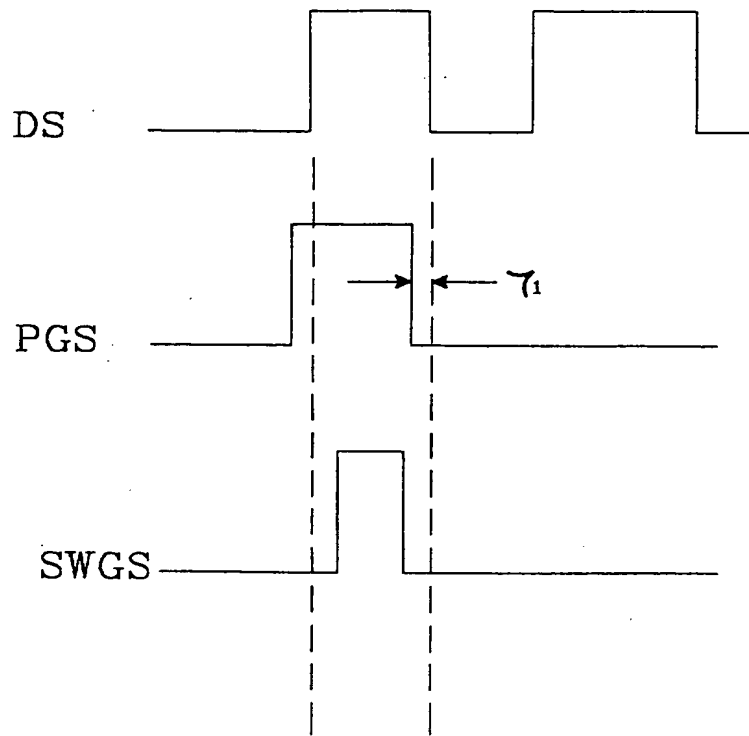
【図 5】



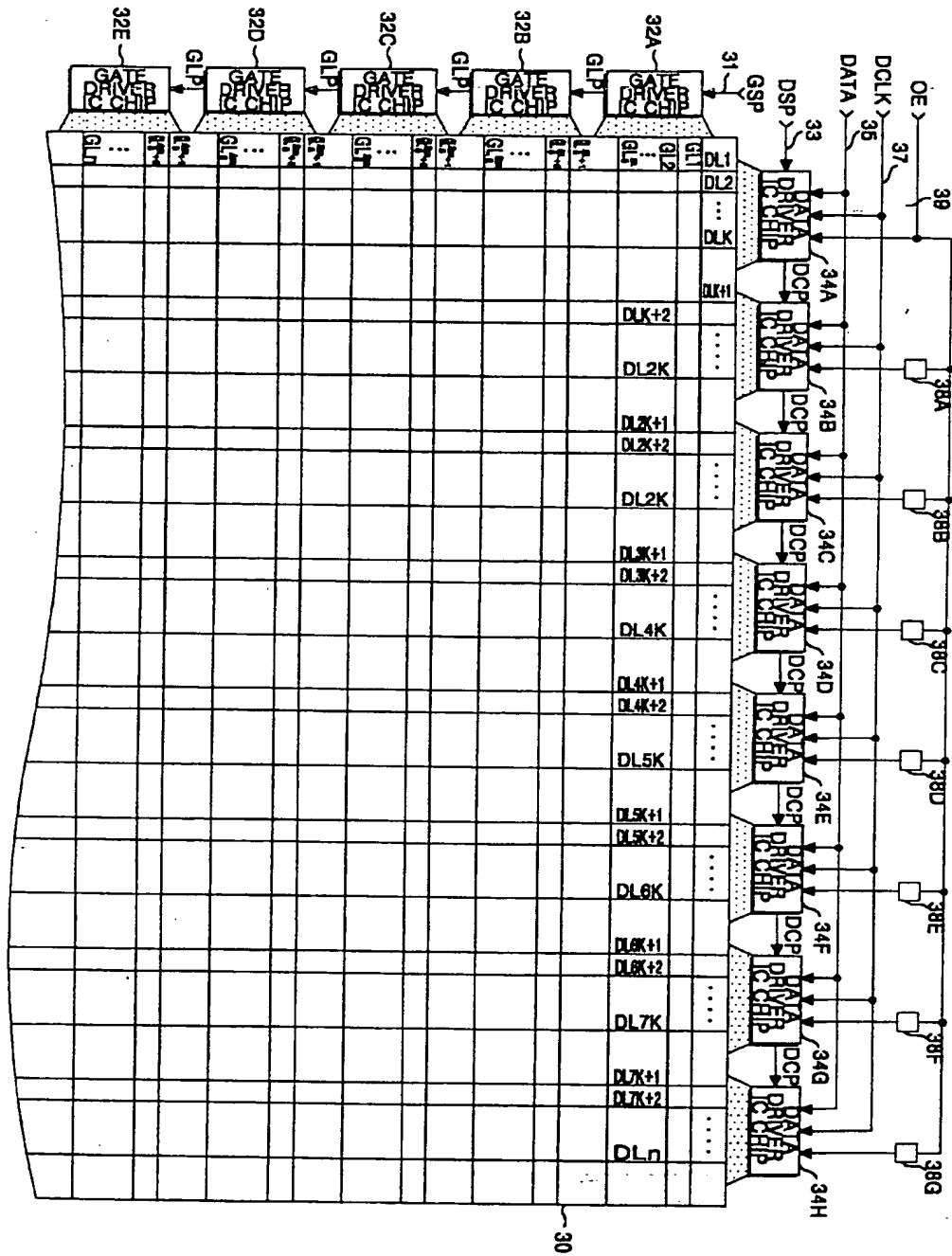
【图 6】



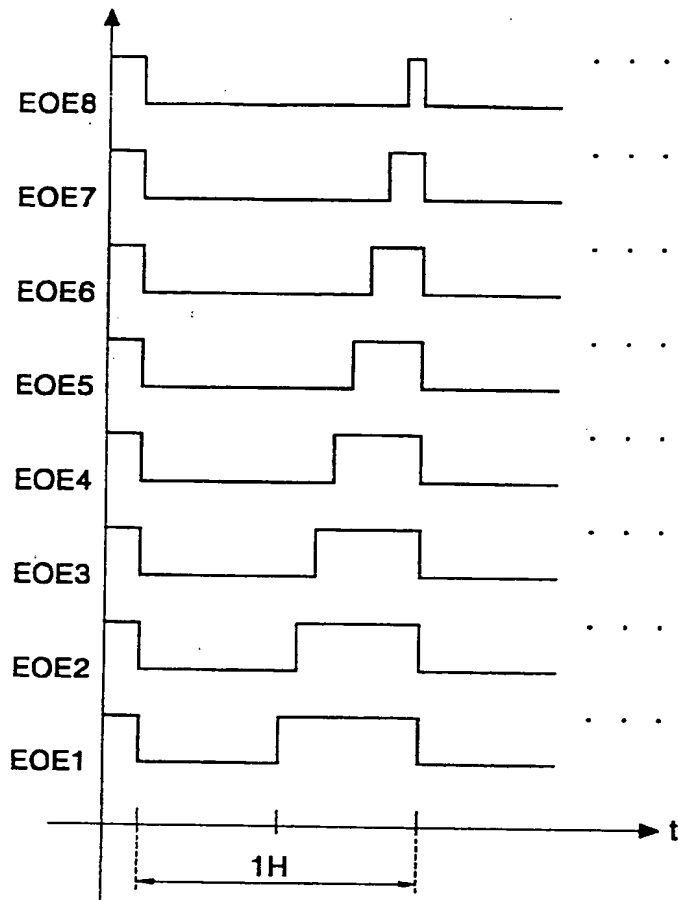
【図 7】



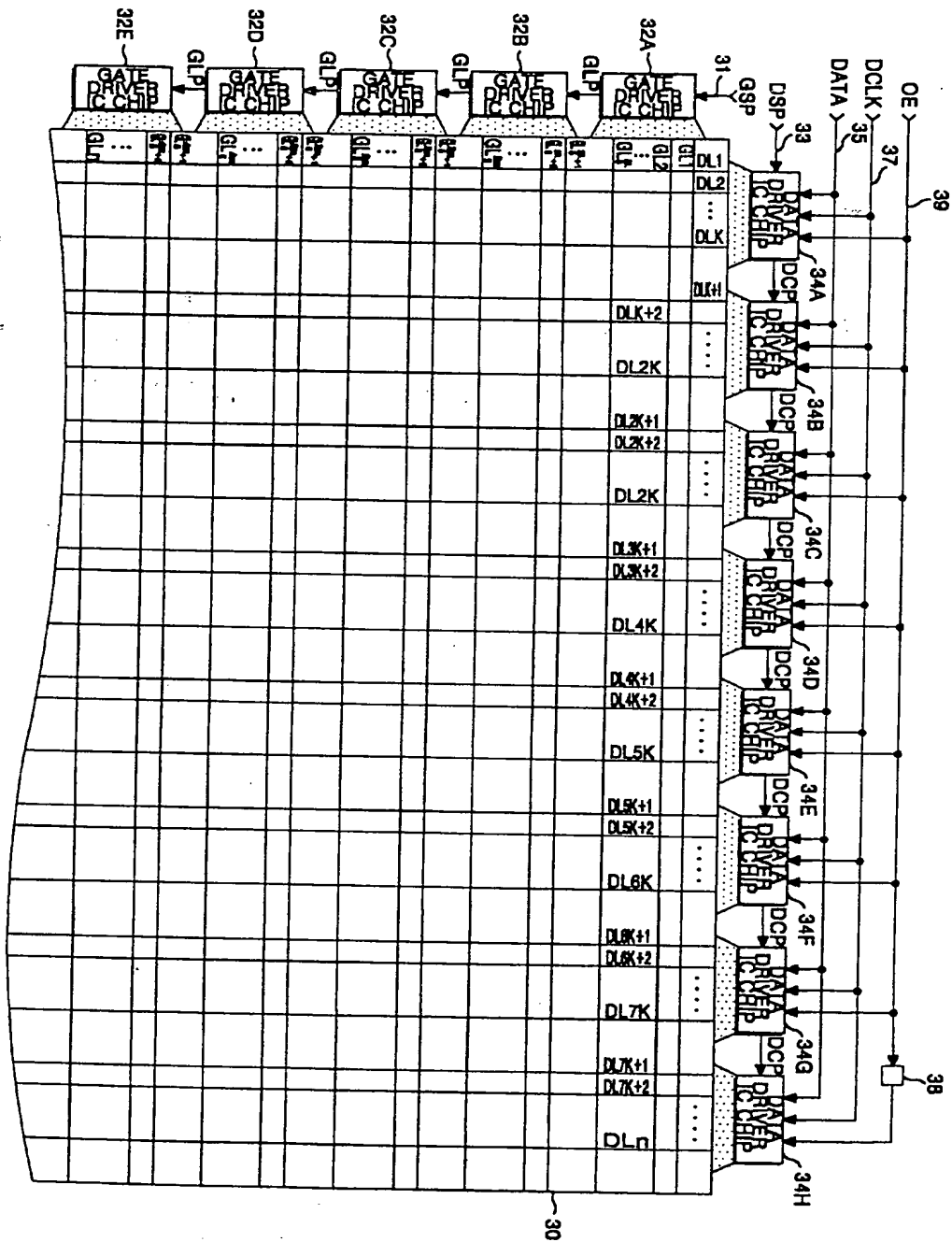
【図 8】



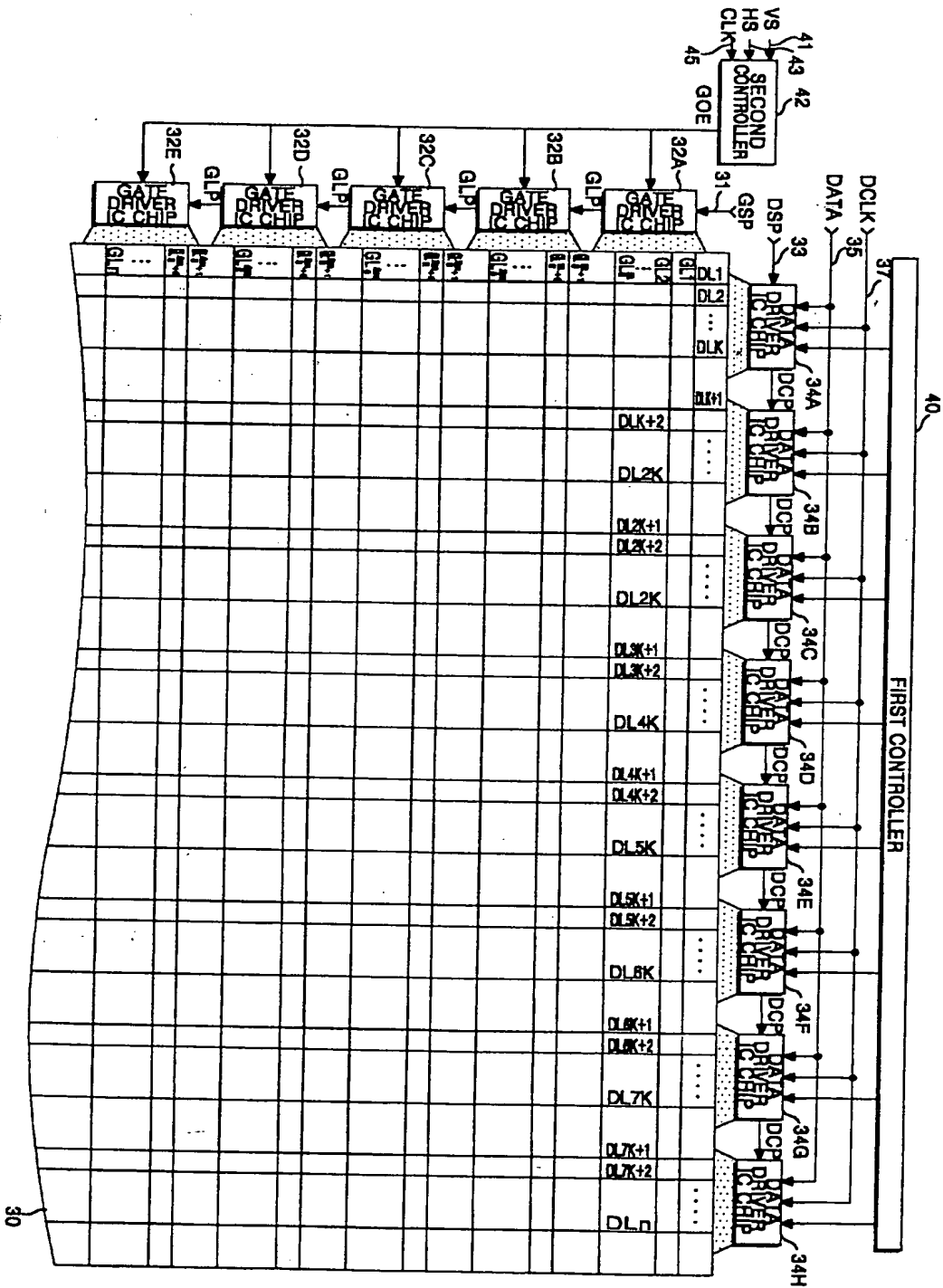
【도 9】



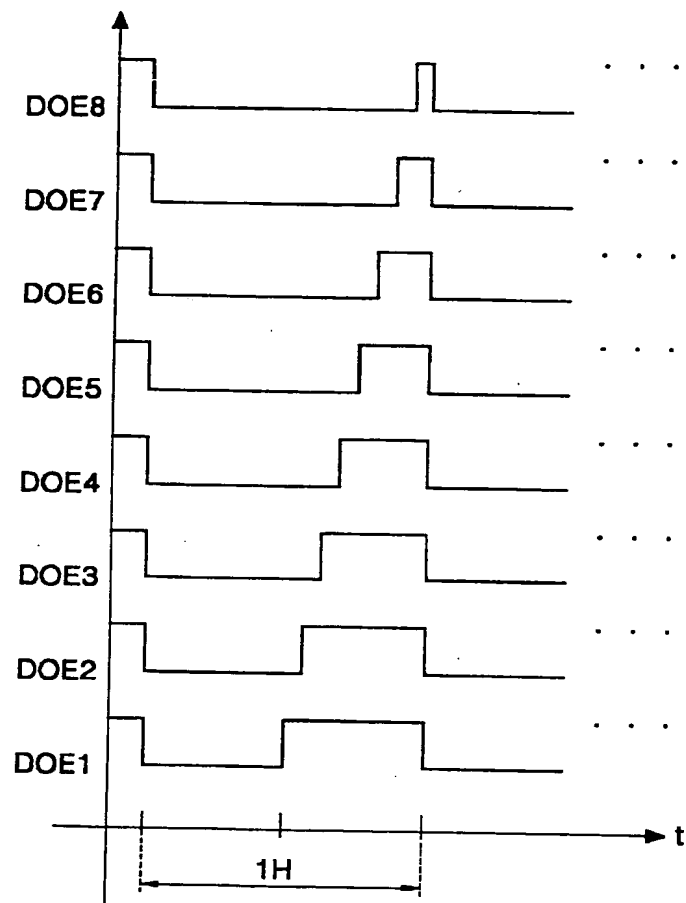
【도 10】



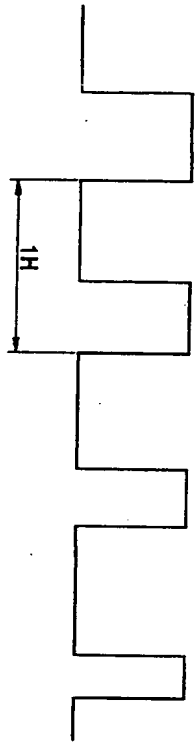
【F 11】



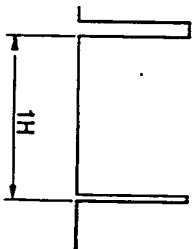
【도 12】



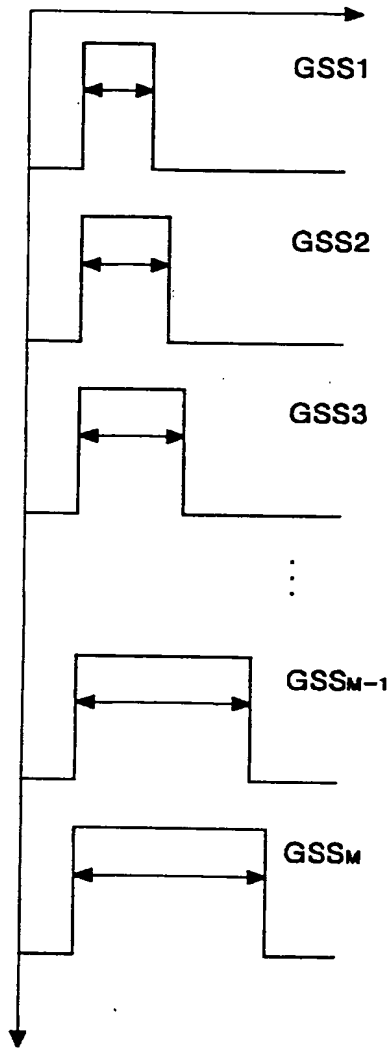
【도 13】



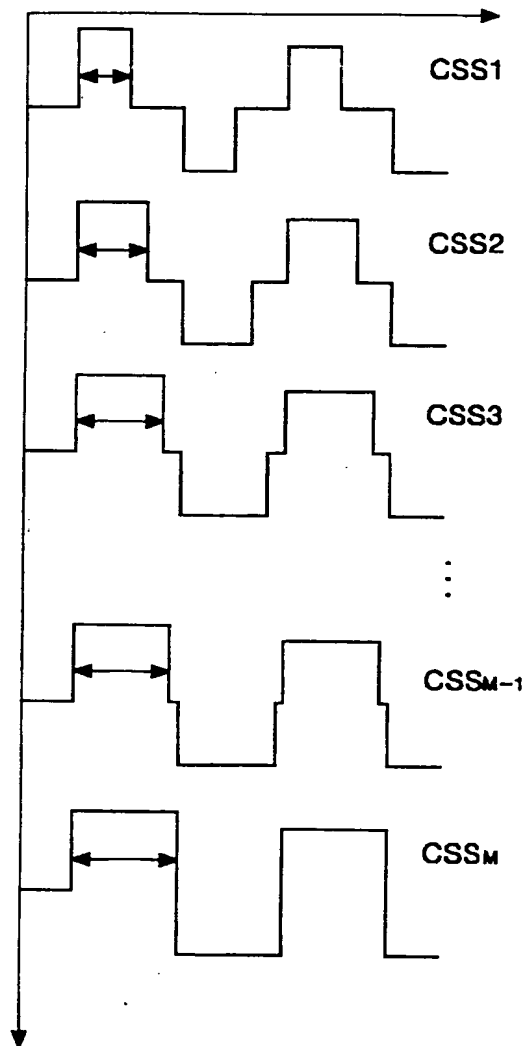
...



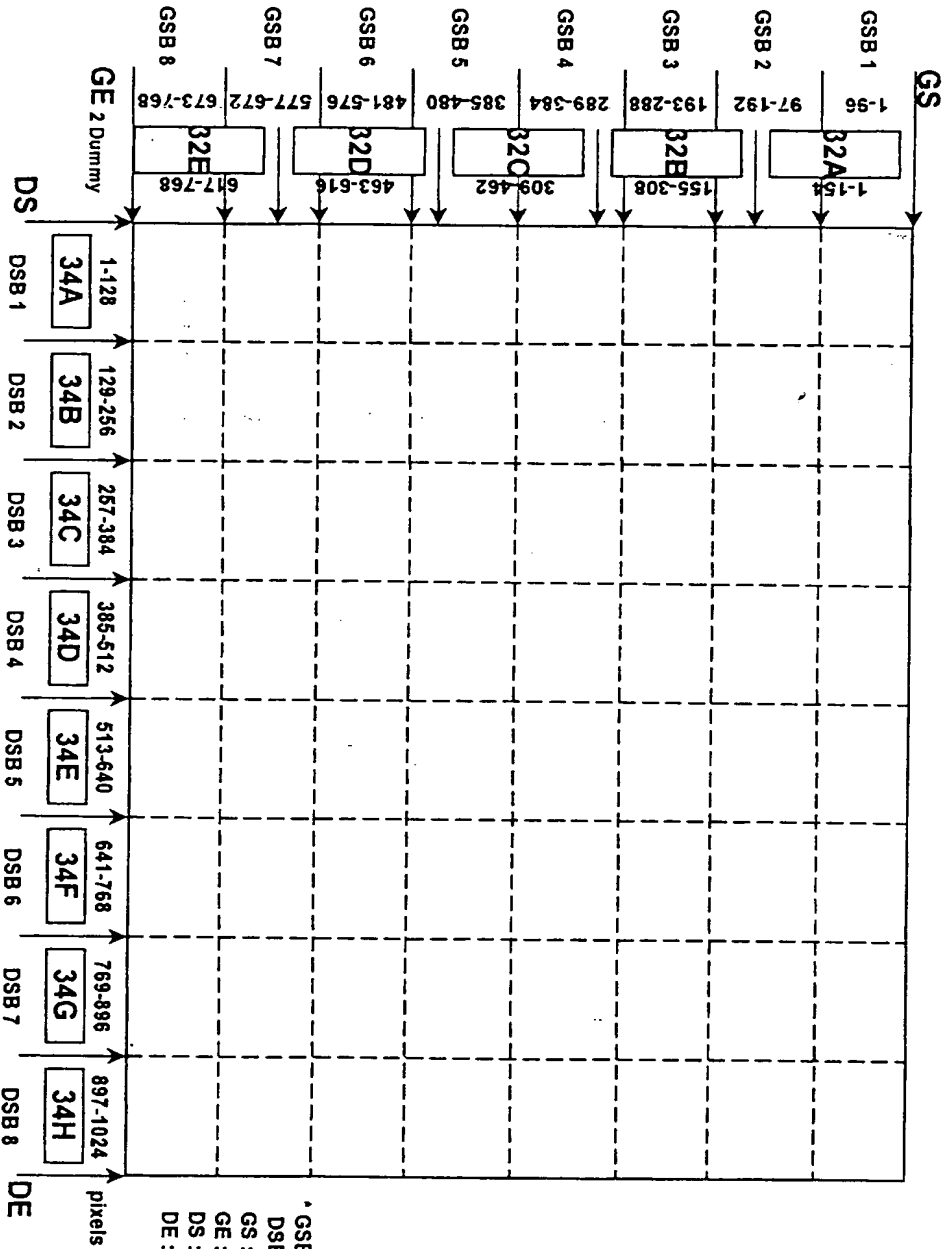
【도 14】



【도 15】

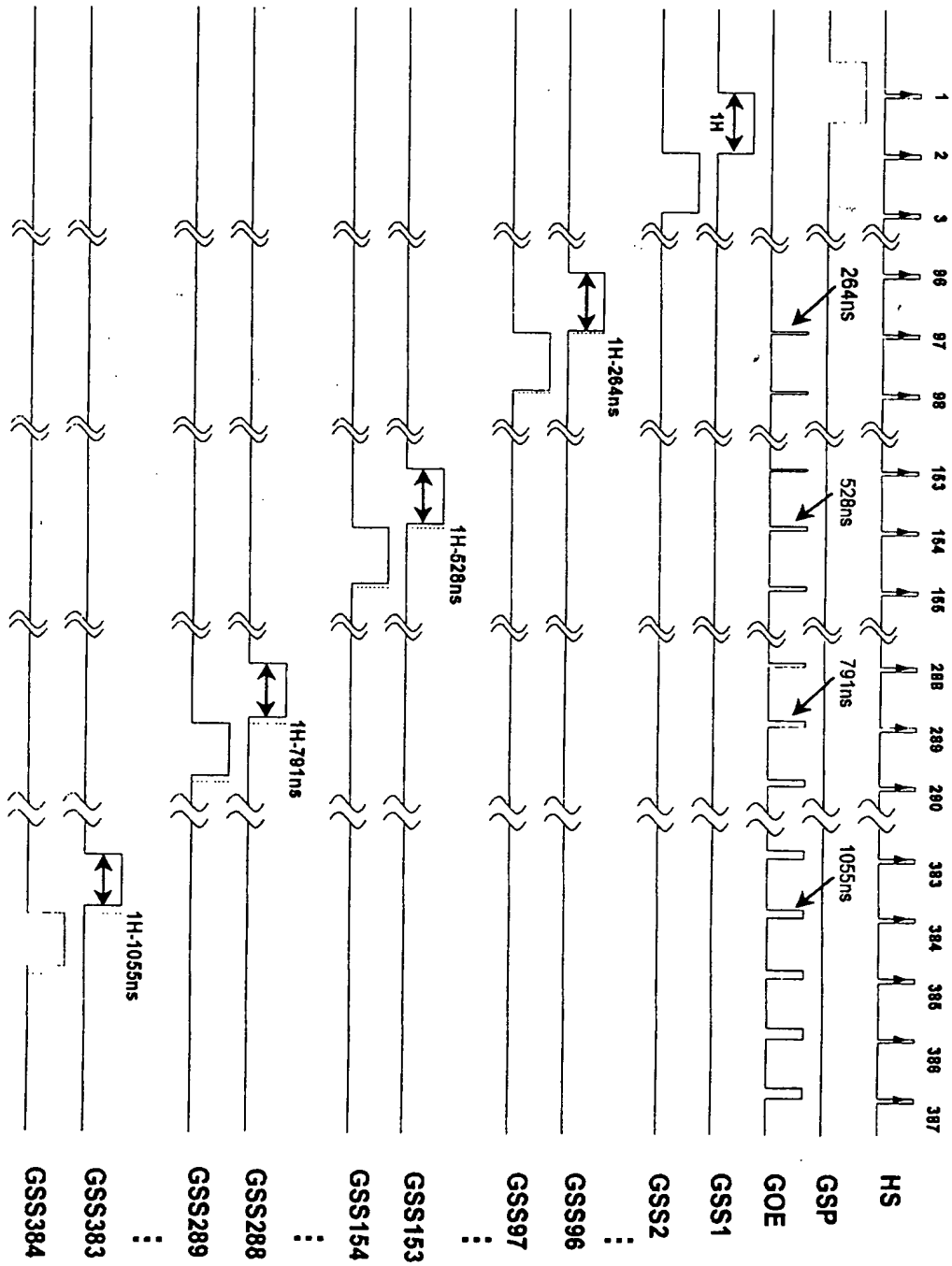


【 16】

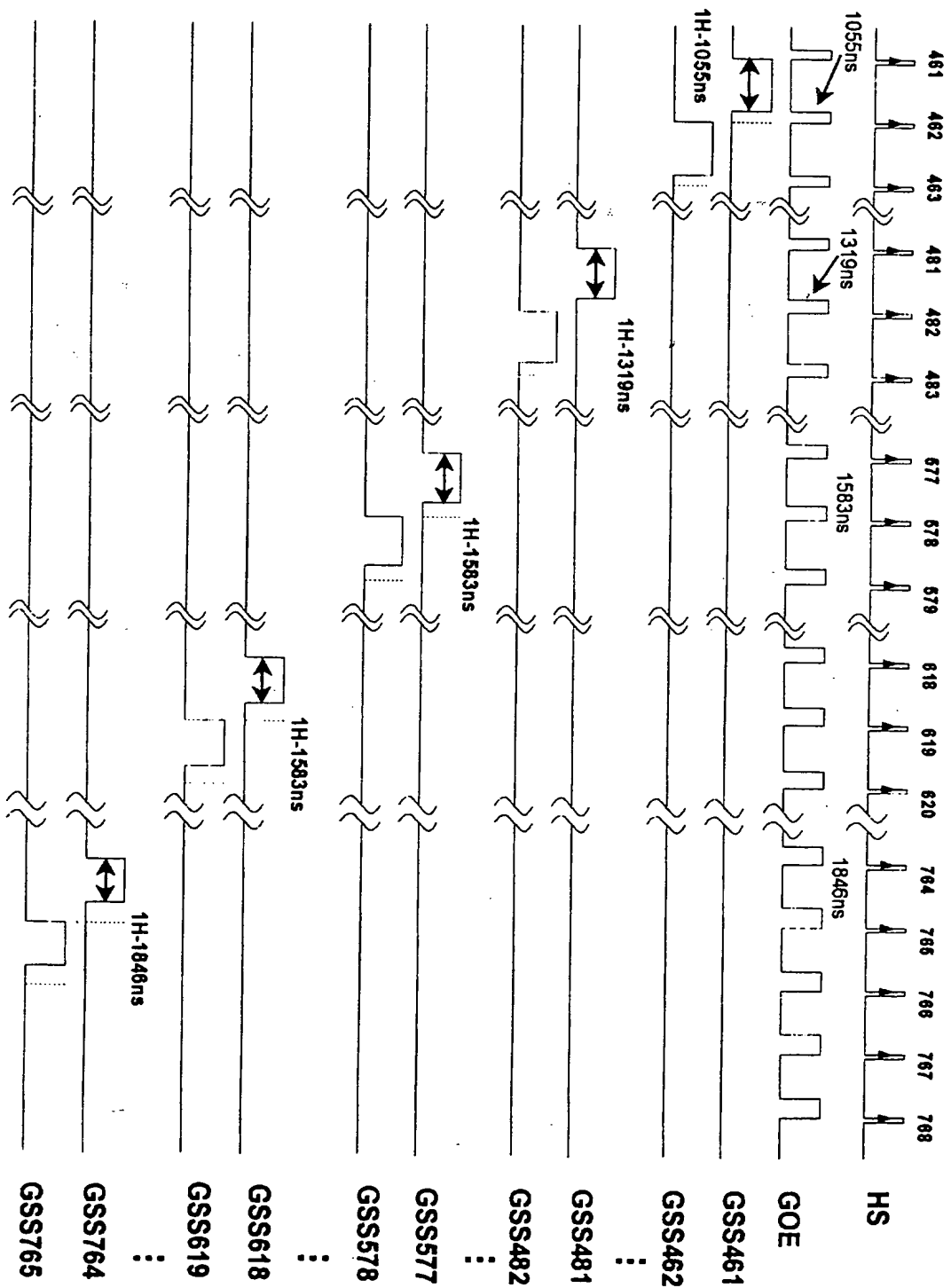


GSB : Gate Sub Block
 DSB : Data Sub Block
 GS : Gate Start
 GE : Gate End
 DS : Data Start
 DE : Data End

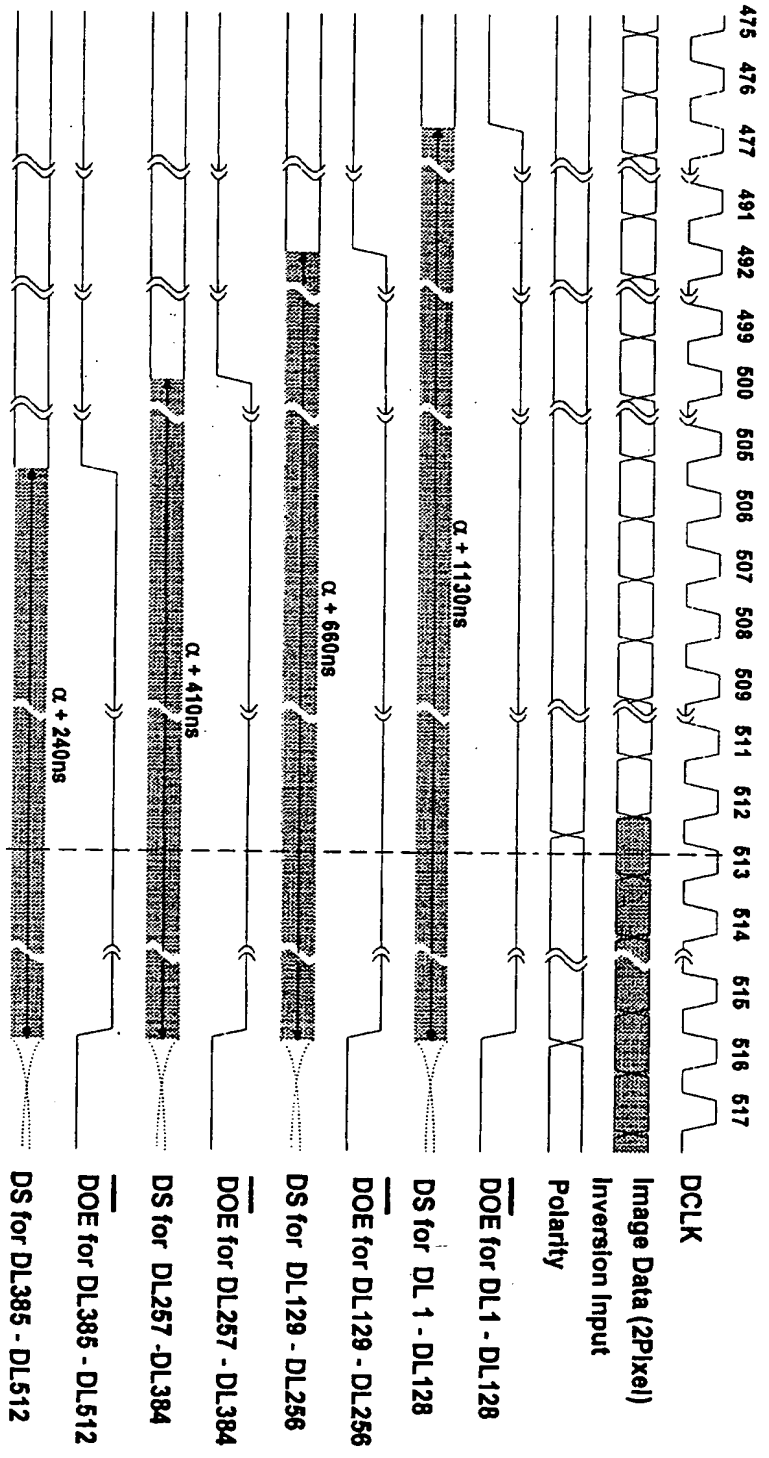
【図 17a】



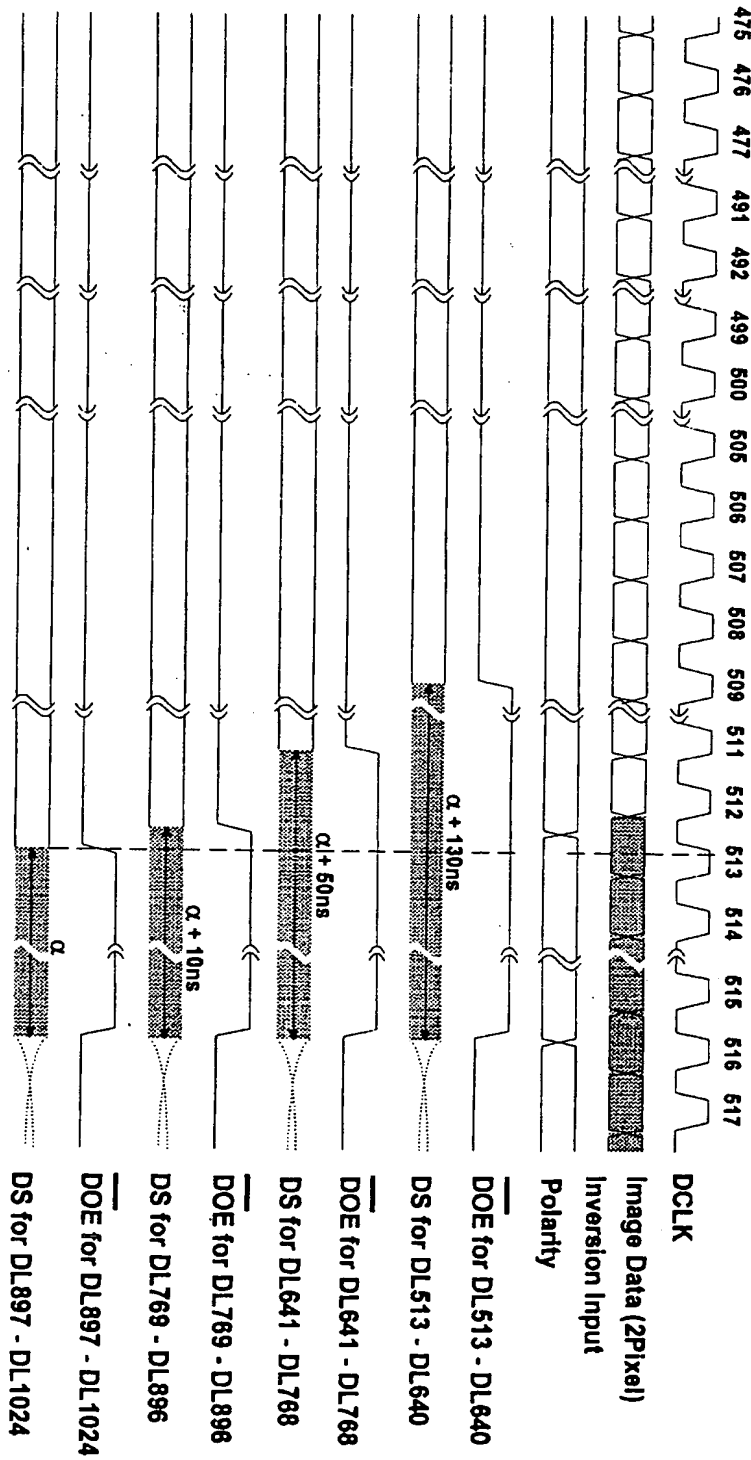
【도 17b】

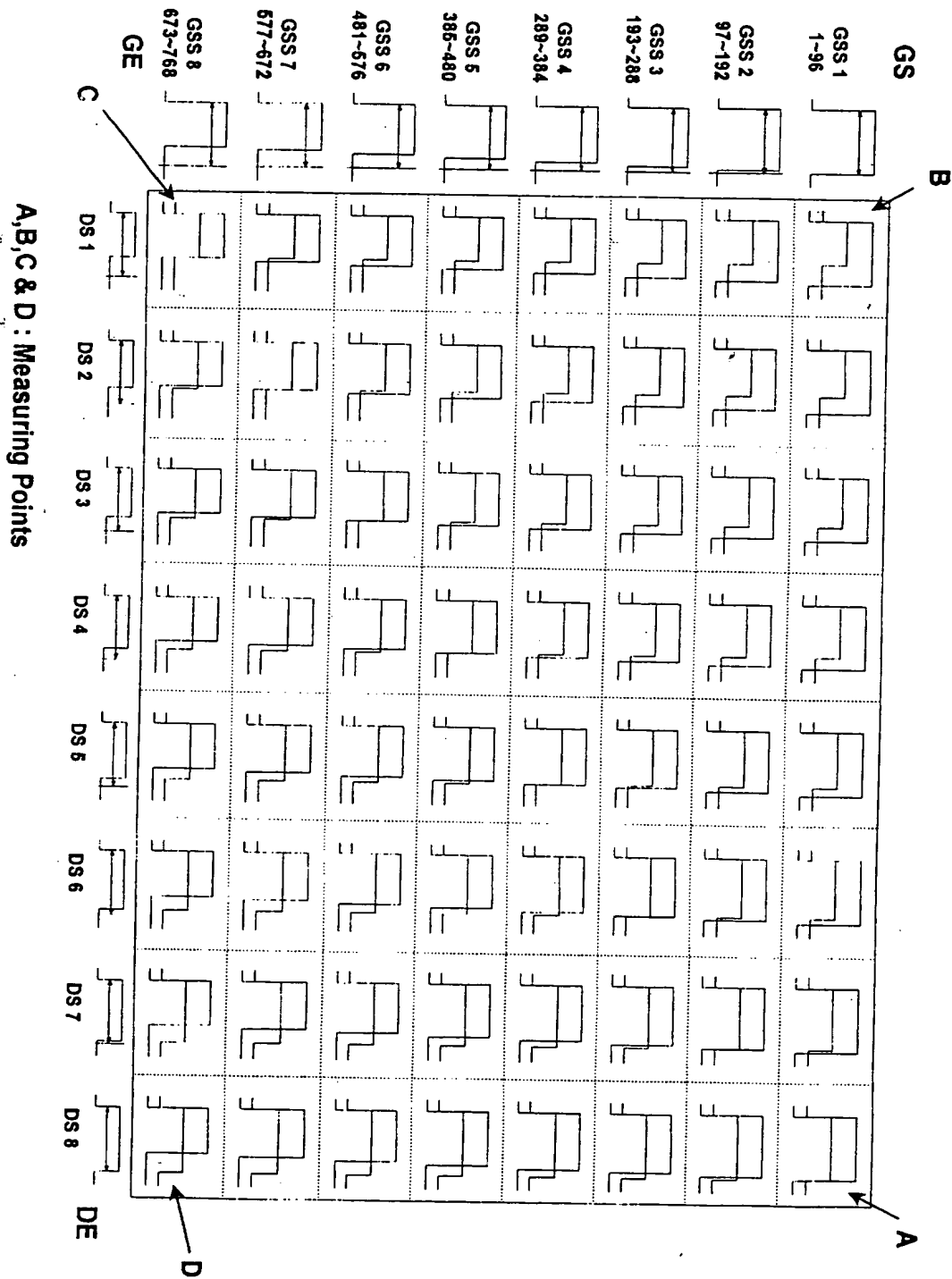


【図 18a】

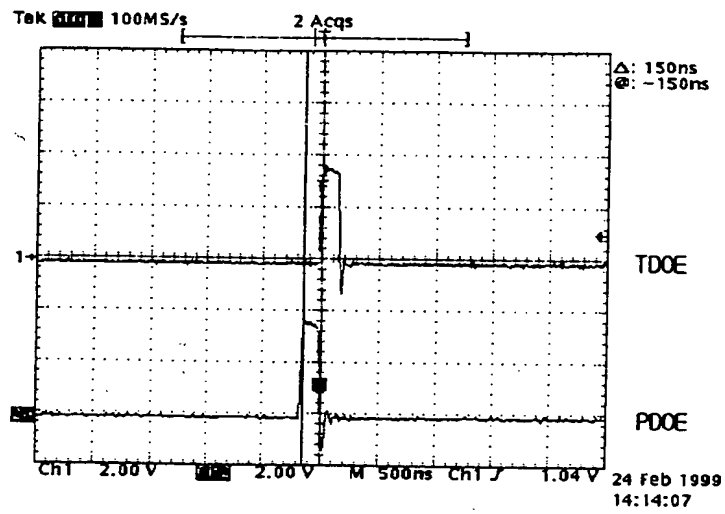


【도 18b】

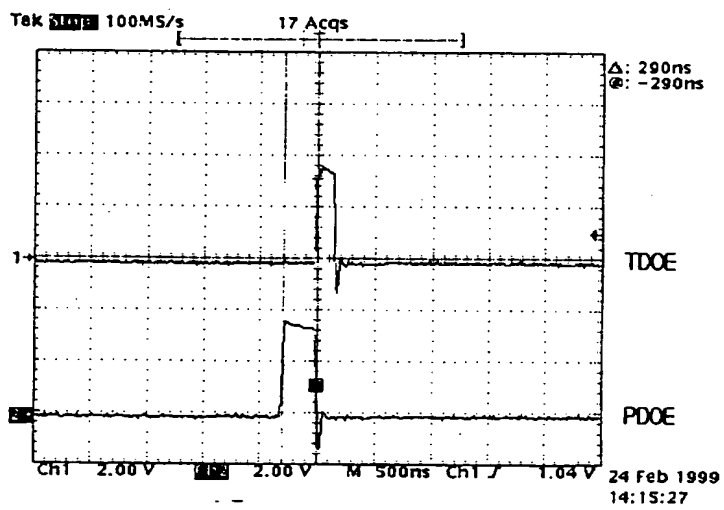




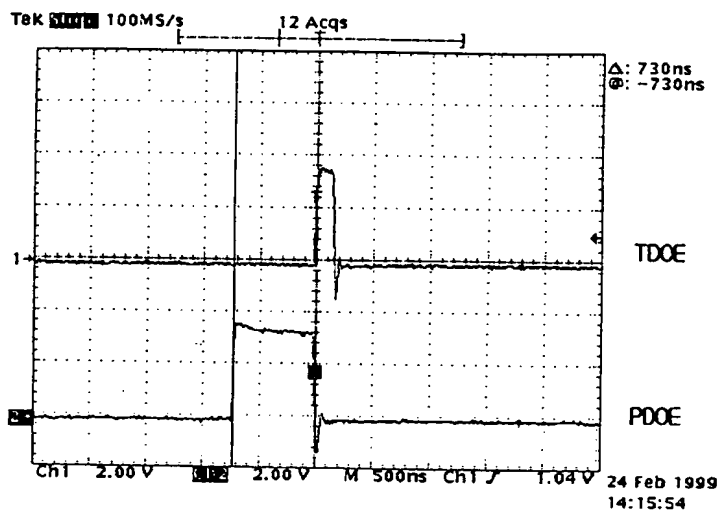
【도 20a】



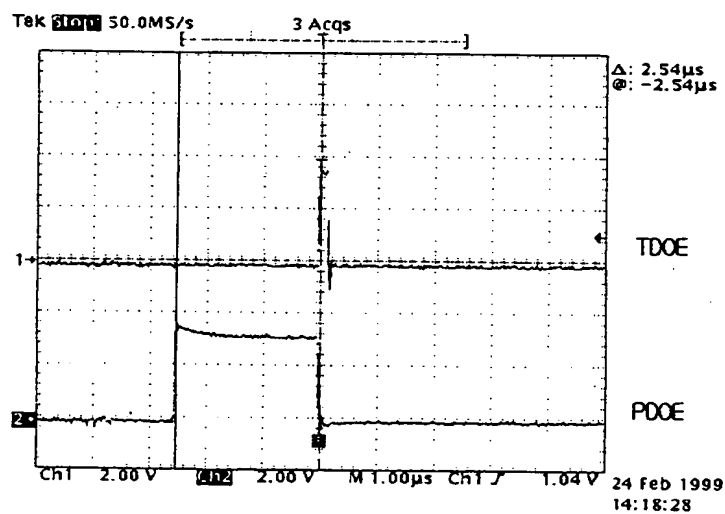
【도 20b】



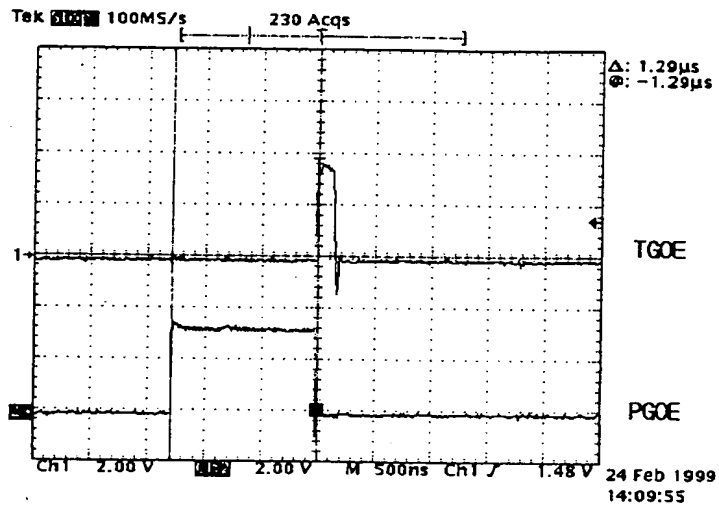
【図 20c】



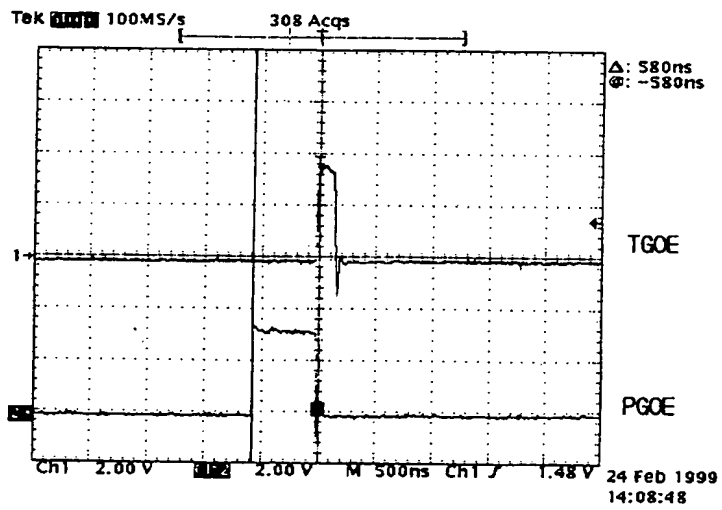
【図 20d】



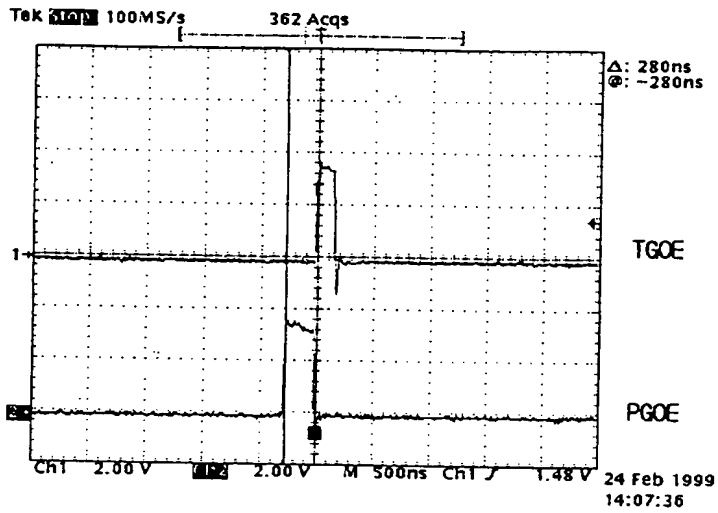
【도 21a】



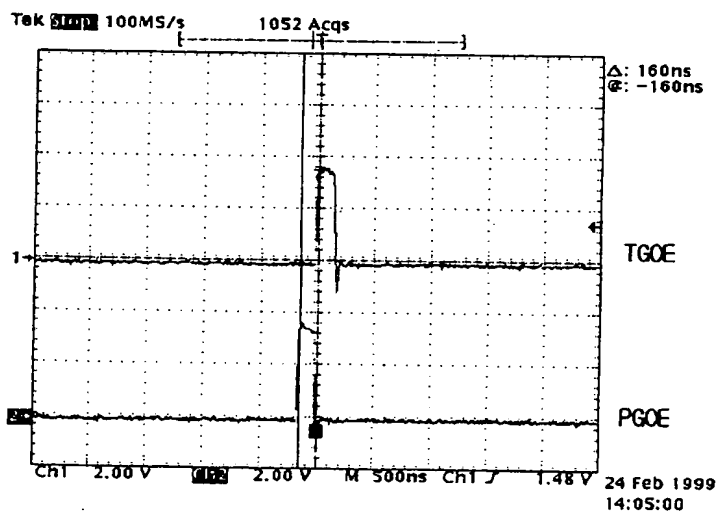
【도 21b】



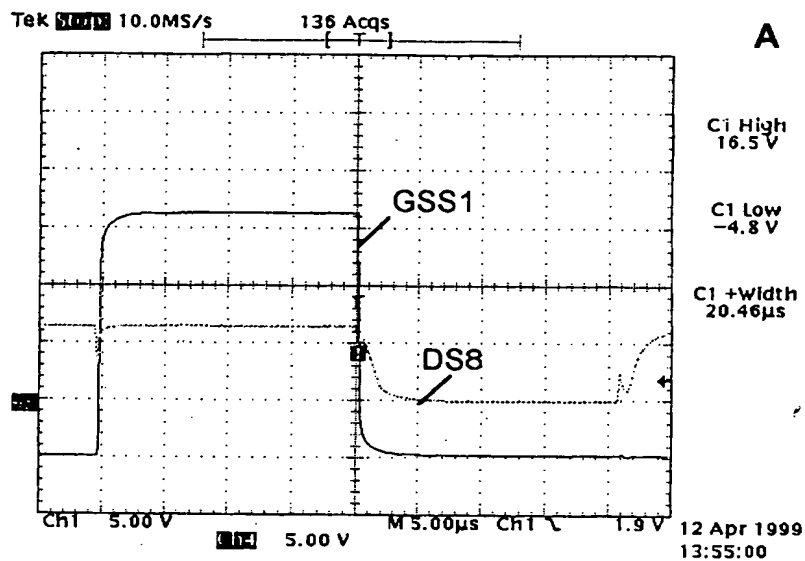
【도 21c】



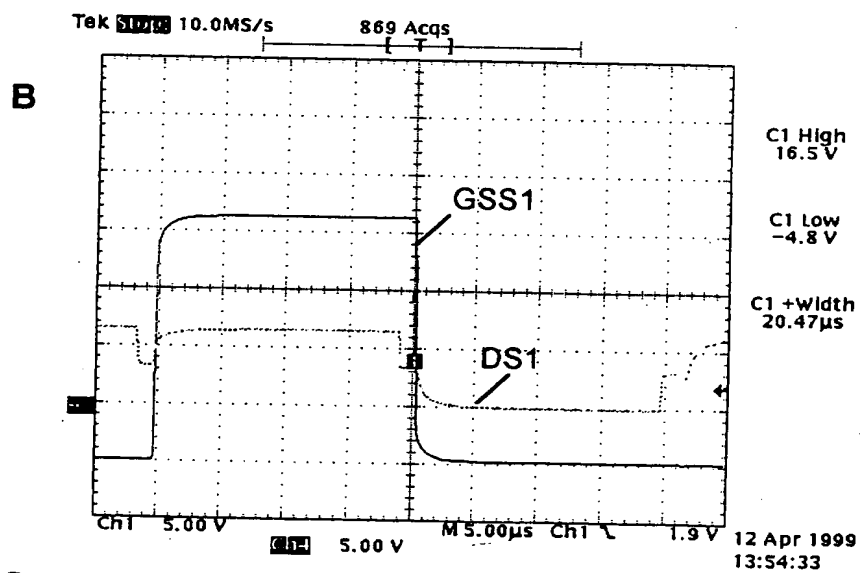
【도 21d】



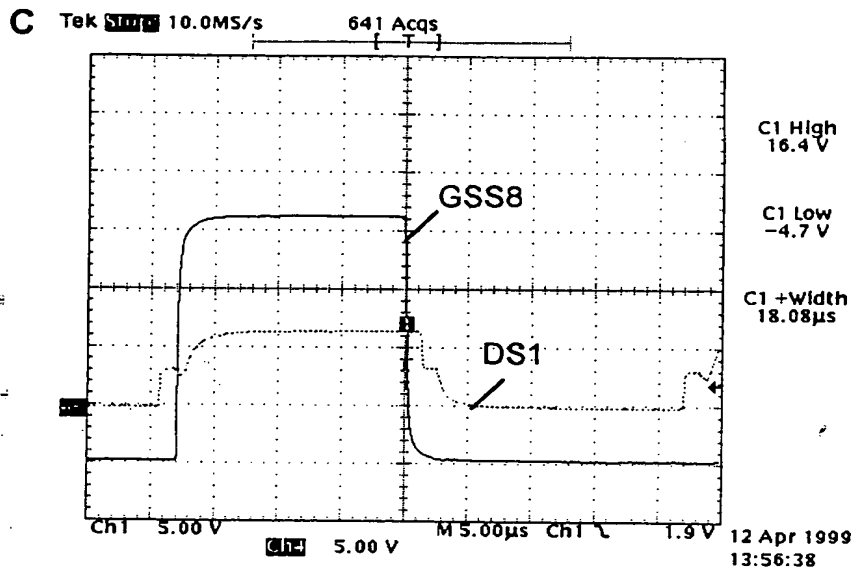
【図 22a】



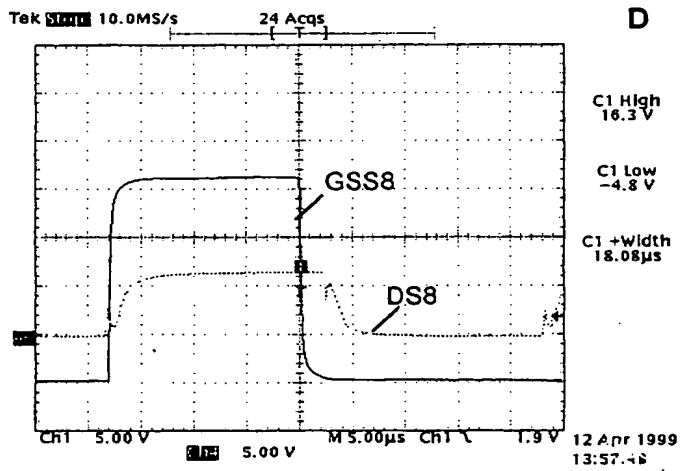
【図 22b】



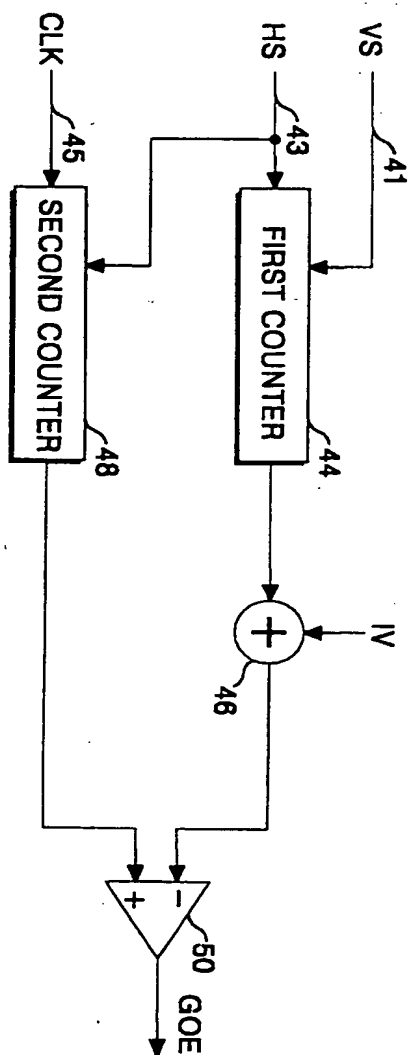
【도 22c】



【도 22d】



【 23】



BEST AVAILABLE COPY
This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.